

(11)Publication number :

2000-132141

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

G09G 3/288

G09G 3/28

G09G 3/20

H04N 5/66

(21)Application number : 10-305272

(71)Applicant : NEC CORP

(22)Date of filing : 27.10.1998

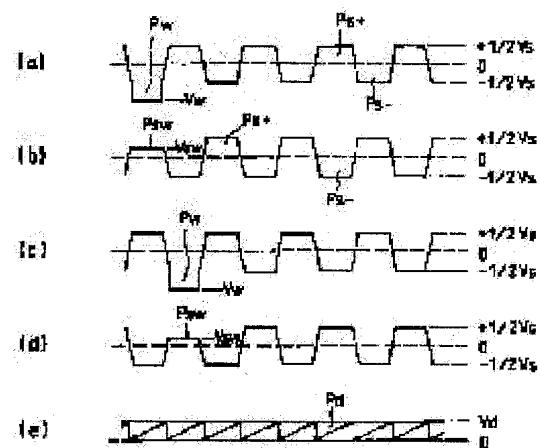
(72)Inventor : IZEKI YUKITERU

## (54) PLASMA DISPLAY AND ITS DRIVING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the characteristics of a writing discharge and a sustaining discharge of a PDP (plasma display panel) and realize the writing discharge and sustaining discharge with an inexpensive driving circuit.

**SOLUTION:** A negative polarity sustaining pulse  $P_{S-}$  and a positive polarity sustaining pulse  $P_{S+}$  are alternately applied to the odd scanning electrode of each display cell, and a negative polarity sustaining pulse and positive polarity sustaining pulse shifted in phase by  $180^\circ$  from the odd scanning electrode are applied to an odd keeping electrode. On the other hand, a positive and negative polarity sustaining pulses of the same phase as the odd sustaining electrode are applied to an even scanning electrode, and a positive and negative polarity sustaining pulses of the same phase as the odd scanning electrode are applied to an even sustaining electrode to perform a sustaining discharge. In writing discharge, a scanning pulse  $P$  is superposed and applied at the same timing as the negative polarity sustaining pulse of the scanning electrode, and a half-selected pulse  $P_{sw}$  is also applied to the sustaining electrode, while a data pulse  $P_d$  is applied to a data electrode at the same timing as the scanning pulse.



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-132141

(P2000-132141A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード*(参考)
G 09 G	3/288	G 09 G	B 5 C 0 5 8
3/28			H 5 C 0 8 0
3/20	6 1 1	3/20	6 1 1 A
	6 2 4		6 2 4 M
	6 4 2		6 4 2 D

審査請求 有 請求項の数16 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願平10-305272

(22) 出願日 平成10年10月27日 (1998. 10. 27)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 伊関 幸輝

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100064621

弁理士 山川 政樹

Fターム(参考) 5C058 AA11 BA02 BA07 BA25 BA35

BB15 BB25

5C080 AA05 BB06 CC03 DD08 DD27

EE29 EE30 FF12 GG12 HH02

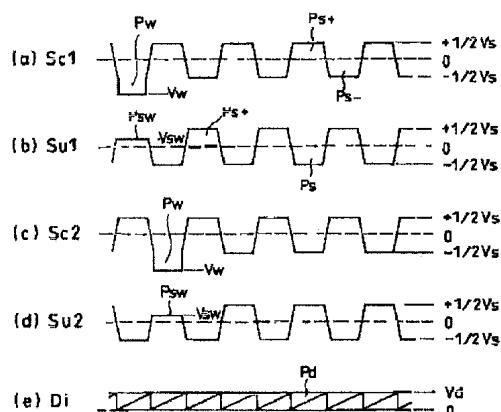
HH04 HH05 JJ03 JJ04 JJ06

(54) 【発明の名称】 プラズマディスプレイ及びその駆動方法

(57) 【要約】

【課題】 PDPの書き込み放電及び維持放電の特性を向上させるとともに、書き込み放電及び維持放電を安価な駆動回路で実現する。

【解決手段】 各表示セルの奇数走査電極には負極性維持パルスP s-と正極性維持パルスP s+とを交互に印加し、奇数維持電極には奇数走査電極と位相が180°ずれた負極性維持パルスと正極性維持パルスを印加する一方、偶数走査電極には奇数維持電極と同位相の正・負極性維持パルスを印加し、偶数維持電極には奇数走査電極と同位相の正・負極性維持パルスを印加して維持放電を行う。書き込み放電の場合は、走査パルスP wを走査電極の負極性維持パルスと同タイミングで重畠して印加し、かつ維持電極に半選択パルスP s wを印加すると同時に、データ電極には走査パルスと同タイミングでデータパルスP dを印加する。



(2) 000-132141 (P2000-132141A)

## 【特許請求の範囲】

【請求項1】 複数の走査電極と、複数の維持電極と、前記走査電極、維持電極と交差する複数のデータ電極とを有するとともに、前記走査電極、維持電極と前記データ電極とが交差する部分に表示セルが形成されたプラズマディスプレイにおいて、走査電極と維持電極の電位関係が周期的に入れ替わるよう、データ電極の基準電位に対して負電位である負電位維持パルス及び正電位である正電位維持パルスをそれぞれ発生し走査電極と維持電極に印加する第1及び第2のスイッチング素子と、前記負電位維持パルスの電位より負電位の走査パルスを、前記負電位維持パルスに重畠するよう順次発生して走査電極に印加する第3のスイッチング素子と、走査電極の走査パルスと同時に、前記正電位維持パルスの電位より低電位である半選択パルスを発生し前記走査電極と対に表示セルを構成する維持電極に印加する第4のスイッチング素子と、各走査電極の走査パルスのタイミングに対応して、データ電極の基準電位より正電位であるデータパルスを、映像表示データにしたがって選択的に発生しデータ電極に印加する第5のスイッチング素子とを備えたことを特徴とするプラズマディスプレイ。

【請求項2】 請求項1において、前記第1及び第2のスイッチング素子を駆動して奇数ラインの走査電極と偶数ラインの維持電極に印加する維持パルス列の位相を同位相にする手段と、前記第1及び第2のスイッチング素子を駆動して偶数ラインの走査電極と奇数ラインの維持電極に印加する維持パルス列の位相を同位相にする手段と、前記第1及び第2のスイッチング素子を駆動して奇数ラインの走査電極と偶数ラインの維持電極に印加する維持パルス列の位相と、偶数ラインの走査電極と奇数ラインの維持電極に印加する維持パルス列の位相を180°ずらす手段とを備えたことを特徴とするプラズマディスプレイ。

【請求項3】 請求項2において、時間的に連続してデータパルスをデータ電極に印加する場合、走査パルスを印加する選択走査ラインの遷移期間に、前記第5のスイッチング素子を駆動してデータ電極の電位を前記基準電圧に戻さずにデータパルスの電位を保持する手段を備えたことを特徴とするプラズマディスプレイ。

【請求項4】 請求項1ないし請求項3の何れかの請求項において、走査電極及び維持電極は複数の電極群に分割され、前記第1及び第2のスイッチング素子を駆動して正電位維持パルス及び負電位維持パルスのパルス幅を電極群数分の1以下に設定する手段と、前記第1及び第2のスイッチング素子を駆動して電極群毎に共通に印加する正電位維持パルスと負電位維持パルスの位相を維持パルス幅以上づつずらす手段とを備えたことを特徴とするプラズ

マディスプレイ。

【請求項5】 請求項4において、走査パルスの印加終了から最初の維持パルスの印加開始までの期間に、前記第1及び第3のスイッチング素子と第6のスイッチング素子とを駆動して走査電極の電位を基準電位と前記走査パルスの電位の中間電位に保持する手段を備えたことを特徴とするプラズマディスプレイ。

【請求項6】 請求項1ないし請求項5の何れかの請求項において、走査パルスの印加に先立ち、走査電極に正電位及び負電位の何れか一方の電位を有する予備放電パルスを印加する第7のスイッチング素子と、走査電極への予備放電パルスの印加と同時に、走査電極に印加する予備放電パルスと逆電位の予備放電パルスを維持電極に印加する第8のスイッチング素子とを備え、前記第7及び第8のスイッチング素子による予備放電パルスの印加終了時に自己消去放電を発生させることを特徴とするプラズマディスプレイ。

【請求項7】 請求項1ないし請求項5の何れかの請求項において、走査パルスの印加に先立ち、走査電極に正電位及び負電位の何れか一方の電位を有する予備放電パルスを印加する第7のスイッチング素子と、走査電極への予備放電パルスの印加と同時に、走査電極に印加する予備放電パルスと逆電位の予備放電パルスを維持電極に印加する第8のスイッチング素子と、前記第7及び第8のスイッチング素子による予備放電パルスの印加終了後に予備放電パルスの電位と逆電位の細幅消去パルスを発生し走査電極と維持電極の少なくとも一方に印加する第9のスイッチング素子とを備えたことを特徴とするプラズマディスプレイ。

【請求項8】 請求項1ないし請求項7の何れかの請求項において、走査パルス及び所定数の維持パルスを印加した後、互いに電位の異なる細幅消去パルスを発生して走査電極と維持電極にそれぞれ印加する第10及び第11のスイッチング素子を備えたことを特徴とするプラズマディスプレイ。

【請求項9】 複数の走査電極と、複数の維持電極と、前記走査電極、維持電極と交差する複数のデータ電極とを有するとともに、前記走査電極、維持電極と前記データ電極とが交差する部分に表示セルが形成されたプラズマディスプレイにおいて、走査電極と維持電極の電位関係が周期的に入れ替わるよう、データ電極の基準電位に対して負電位である負電位維持パルスと正電位である正電位維持パルスを交互に印加しておき、前記負電位維持パルスの電位よりさらに負電位の走査パルスを、走査電極の前記負電位維持パルスに重畠して順次印加するとともに、維持電極には、対になって表示セルを構成する走査電極の走査パルスと同

(3) 000-132141 (P2000-132141A)

時に、前記正電位維持パルスの電位より低電位である半選択パルスを印加し、データ電極には、各走査電極の走査パルスのタイミングに対応して、基準電位より正電位であるデータパルスを、映像表示データにしたがって選択的に印加することを特徴とするプラズマディスプレイの駆動方法。

【請求項10】 請求項9において、奇数ラインの走査電極と偶数ラインの維持電極に印加する維持パルス列の位相を同じくし、かつ偶数ラインの走査電極と奇数ラインの維持電極に印加する維持パルス列の位相を同じくし、さらに奇数ラインの走査電極と偶数ラインの維持電極に印加する維持パルス列の位相と偶数ラインの走査電極と奇数ラインの維持電極に印加する維持パルス列の位相を180°ずらしたことを特徴とするプラズマディスプレイの駆動方法。

【請求項11】 請求項10において、時間的に連続してデータパルスを印加する場合、走査パルスを印加する選択走査ラインの遷移期間に、データ電極の電位を基準電圧に戻さずにデータパルスの電位を保持することを特徴とするプラズマディスプレイの駆動方法。

【請求項12】 請求項9ないし請求項11の何れかの請求項において、走査電極及び維持電極を複数の電極群に分割し、正電位維持パルス及び負電位維持パルスのパルス幅を電極群数分の1以下に設定し、電極群毎に共通に印加する正電位維持パルスと負電位維持パルスの位相を維持パルス幅以上づつずらしたことを特徴とするプラズマディスプレイの駆動方法。

【請求項13】 請求項12において、走査パルスの印加の終了から最初の維持パルスの印加開始までの期間において、走査電極の電位を基準電位と走査パルスの電位の中間電位に保持することを特徴とするプラズマディスプレイの駆動方法。

【請求項14】 請求項9ないし請求項13の何れかの請求項において、走査パルスの印加に先立って、走査電極に正電位及び負電位の何れか一方の電位を有する予備放電パルスを印加し、維持電極には、走査電極に印加する予備放電パルスと逆電位の予備放電パルスを同時に印加し、予備放電パルスの印加終了時に自己消去放電を発生させることを特徴とするプラズマディスプレイの駆動方法。

【請求項15】 請求項9ないし請求項13の何れかの請求項において、走査パルスの印加に先立って、走査電極に正電位及び負電位の何れか一方の電位を有する予備放電パルスを印加し、維持電極には、走査電極に印加する予備放電パルスと逆電位の予備放電パルスを同時に印加するとともに、予備放電パルスの印加終了時に自己消去放電を発生させ、かつ予備放電パルスの印加終了後に予備放電パルス

の電位と逆電位の細幅消去パルスを走査電極と維持電極の少なくとも一方に印加することを特徴とするプラズマディスプレイの駆動方法。

【請求項16】 請求項9ないし請求項13の何れかの請求項において、走査パルス及び所定数の維持パルスを印加した後、維持パルスに置き換えて互いに電位の異なる細幅消去パルスを走査電極と維持電極のそれぞれに印加することを特徴とするプラズマディスプレイの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイ及びその駆動方法に関する。

【0002】

【従来の技術】プラズマディスプレイパネル（以下、PDPと呼称する）の表示は、放電発光に基づいて行われるものであるため、薄型構造とができるとともに、表示にちらつきがなく表示コントラスト比が大きいという特徴を有し、かつ比較的大画面にすることが可能であるなどの特徴を有している。また、PDPは応答速度が速く、自発光型で蛍光体の利用により多色発光も可能であることなどの特徴も有している。このため、近年はコンピュータ関連の表示装置の分野およびカラー画像表示の分野等において広く利用されるようになりつつある。

【0003】このPDPを動作方式で分類すると、電極が誘電体で被覆されて間接的に交流放電の状態で動作させる交流放電型のPDPと、電極が放電空間に露出して直流放電の状態で動作させる直流放電型のPDPとがある。更に、交流放電型のPDPを駆動方式で分類すると、パネル自身が表示情報を蓄積するメモリを有しそのメモリの表示情報をを利用して放電動作させるメモリ動作型と、パネルの外部に表示情報を蓄積するメモリを有し、その表示情報を外部メモリから繰り返し読み出してパネルに出力し放電表示させるリフレッシュ動作型とがあるが、現在は大表示容量の表示に適するメモリ動作型が主流となっている。なお、PDPの輝度は、パネルの放電回数に比例するため、上記リフレッシュ動作型の場合は表示容量が大きくなると放電回数が低下し輝度が低下する。このため、主として小表示容量のPDPに使用されている。

【0004】図13は、従来技術及び本発明の両者に関する一般的な前記交流放電メモリ動作型のPDPの構成を示すもので、PDPの一つの表示セルの断面を示す図である。この表示セル1は、ガラスからなる前面及び背面の各絶縁基板11、12を有し、この各絶縁基板11、12間に電極等の各部が形成される。即ち、絶縁基板11の下部には透明導電膜からなる走査電極13及び維持電極14が形成され、さらにその走査電極13及び維持電極14の下部に、走査電極13、維持電極14の

:(4) 000-132141 (P2000-132141A)

抵抗値を小さくするためにそれぞれ金属導電膜からなるトレース電極15, 16が形成される。そして、走査電極13, 維持電極14及びトレース電極15, 16は透明な誘電体層20により覆われ、その誘電体層20の下部にこの誘電体層20を放電ガスの放電から保護する酸化マグネシウム等からなる保護層21が形成される。

【0005】そしてさらに、保護層21の下部にはヘリウム、ネオンおよびキセノン等またはそれらの混合ガスからなる前記放電ガスが充填される放電ガス空間18が設けられ、その放電ガス空間18の下部に上記放電ガスの放電により発生する紫外線を可視光23に変換する蛍光体19が設けられる。さらに上記蛍光体19の下部には誘電体層22が形成され、形成されたこの誘電体層22と前記絶縁基板12間に、データ電極17が形成される。なお、図13の走査電極13は後述の各図に示す符号S<sub>c</sub>, S<sub>c</sub>1～S<sub>c</sub>mに対応し、図13の維持電極14は後述の各図に示す符号S<sub>u</sub>, S<sub>u</sub>1～S<sub>u</sub>mに対応し、さらに図13のデータ電極17は後述の各図に示す符号D<sub>i</sub>, D<sub>1</sub>～D<sub>n</sub>に対応する。

【0006】図14は、従来技術及び本発明の両者に関わる一般的な交流放電メモリ動作型のPDPの構成を示すブロック図であり、このPDPは、図13に示した表示セル1をマトリクス配置して形成したパネル2と、パネル2の表示を制御する制御回路3と、各表示セル1の走査電極S<sub>c</sub>1～S<sub>c</sub>mを駆動する走査ドライバ4と、各表示セル1の維持電極S<sub>u</sub>1～S<sub>u</sub>mを駆動する維持ドライバ5と、各表示セル1のデータ電極D<sub>1</sub>～D<sub>n</sub>を駆動するアドレスドライバ6とからなる。なお、制御回路3は表示データを蓄積するフレームメモリ31、信号処理回路32、及びドライバ制御回路33からなる。

【0007】パネル2は、m行n列に各表示セルを配列したドットマトリクス表示用のパネルであり、互いに平行に配置した走査電極S<sub>c</sub>1～S<sub>c</sub>m及び維持電極S<sub>u</sub>1～S<sub>u</sub>mを行電極として備え、かつこれら走査および維持電極と直交して配列したデータ電極D<sub>1</sub>～D<sub>n</sub>を列電極として備え、各行電極と各列電極とが交差する部分に各表示セルが形成される。走査電極には走査ドライバ4で走査電極駆動波形を生成して印加し、維持電極には維持ドライバ5で維持電極駆動波形を生成して印加し、データ電極にはアドレスドライバ6でデータ電極駆動波形を生成して印加する。なお、各ドライバの制御信号は、外部からの基本信号（垂直同期信号V<sub>sync</sub>, 水平同期信号H<sub>sync</sub>, クロック信号C<sub>lock</sub>, データ同期信号DATA）をもとにして制御回路3内の信号処理回路32で作られ、信号処理回路32からドライバ制御回路33を介して各ドライバに供給される。また、各表示セルに表示されるデータは、信号処理回路32がクロック信号C<sub>lock</sub>及びデータ同期信号DATAに同期してフレームメモリ31から取り出しアドレスドライバ6に送出して、表示セルに表示させる。

【0008】さて以上のように構成されたPDPの各表示セルのうち選択された表示セル1の書き込み放電動作について図13を参照して説明する。いわゆる書き込み放電は、走査電極13とデータ電極17との間に放電しきい値を越えるパルス電圧が印加されるセルで発生するが、両電極13, 17ともに絶縁層で覆われているために、正負の電荷が両側の誘電体層20及び22の表面に蓄積され壁電荷が形成される。この壁電荷によりセル内部の実効的な電圧は低下し、短時間のうちにセル内の放電は終了し停止する。

【0009】一方、発光表示の主体である維持放電では、隣接する走査電極13と維持電極14間に、前記壁電荷による電圧と同極性の維持パルスを印加する。すると、この維持パルス電圧が壁電荷による電圧に重畠されるため、維持パルスの電圧振幅が低くても走査電極13と維持電極14間の放電しきい値を越えて放電することができる。従って、維持パルスを走査電極13と維持電極14との間に交互に印加し続けることによって、その間の放電を維持することが可能となる。ここで、走査電極13または維持電極14に、前記壁電荷による電圧を中和するような幅の広い低電圧のパルス、または、幅の狭い維持パルス電圧程度の電圧を有する消去パルスを印加することにより、上記維持放電を直ちに停止させることができる。

【0010】図15は、図14の交流放電メモリ動作型のPDPの第1の従来例を示す駆動波形図であり、走査ドライバ4、維持ドライバ5、及びアドレスドライバ6からそれぞれパネル2の表示セル1の各電極に出力される駆動波形のタイムチャートである。この第1の従来例は、書き込み放電と維持放電とを異なるタイミングで行う方式のものである。図15において、図15(a)のW<sub>c</sub>は維持電極S<sub>u</sub>1, S<sub>u</sub>2, ..., S<sub>u</sub>mに印加される維持パルス、図15(b)～(e)のW<sub>s</sub>1～W<sub>s</sub>m(図15ではW<sub>s</sub>1～W<sub>s</sub>4の4個のW<sub>s</sub>のみ示してある)は走査電極S<sub>c</sub>1, S<sub>c</sub>2, ..., S<sub>c</sub>mにそれぞれ印加される走査パルス、図15(f)のW<sub>d</sub>はデータ電極D<sub>i</sub>(1≤i≤n)に印加されるデータパルスである。

【0011】ここで、パネル2の駆動の1周期(1サブフレーム)は、プライミング放電、書き込み放電、維持放電、維持放電消去の4つのタイミングで構成され、各タイミングにおける駆動動作を繰り返して所望の映像表示を得る。まず、安定した書き込み放電特性を得るために放電ガス空間内に活性粒子及び壁電荷を生成するプライミング放電が行われる。このプライミング放電は、パネル2の全表示セルを同時に放電させるプライミングパルスP<sub>p</sub>(図15(a))を印加した後に、生成された壁電荷のうち書き込み放電および維持放電を阻害する電荷を消滅させるためのプライミング消去パルスP<sub>p</sub>eを各走査電極に一齊に印加する(図15(b)～

(5) 000-132141 (P 2000-132141A)

(e)）。すなわち、まず、各表示セルの維持電極S<sub>u1</sub>, S<sub>u2</sub>, …, S<sub>um</sub>に対してプライミングパルスP<sub>p</sub>を印加し、全ての表示セルにおいて放電を起こさせた後、走査電極S<sub>c1</sub>, S<sub>c2</sub>, …, S<sub>cm</sub>にプライミング消去パルスP<sub>pe</sub>を印加して消去放電を発生させ、プライミングパルスP<sub>p</sub>により蓄積した壁電荷を消去する。

【0012】次に書き込み放電が行われる。書き込み放電においては、各表示セルの各走査電極S<sub>c1</sub>, S<sub>c2</sub>, …, S<sub>cm</sub>に順次走査パルスP<sub>w</sub>を印加する(図15(b)～(e))とともに、この走査パルスP<sub>w</sub>に同期して表示を行うべきセルのデータ電極D<sub>i</sub>(1≤i≤n)にデータパルスP<sub>d</sub>を選択的に印加し(図15(f))、表示すべきセルに書き込み放電を発生させて壁電荷を生成する。上記書き込み放電の後、維持電極、走査電極、維持電極、…の順に印加される負極性の維持パルスP<sub>c</sub>により、所望の輝度を得るために必要な維持放電が行われる。ここで、維持放電を終了するためには、消去パルスP<sub>se</sub>(パルス幅0.5μs～1μs程度)を印加して、維持放電に充分な壁電荷を形成する前に消去パルスを止める。これにより、以降の維持放電を発生させないようにする。

【0013】図16は、特開平7-162787号公報に開示された第2の従来例を示すタイムチャートである。第2の従来例は、同様に交流放電メモリ動作型のPDPであるが、書き込み放電と維持放電とを異なる走査電極で同時制御する方式のものである。図16において、C<sub>1</sub>, C<sub>2</sub>, C<sub>3</sub>, …, C<sub>m</sub>(図16ではC<sub>1</sub>～C<sub>3</sub>のみ示してある)は各表示セルの維持電極S<sub>u1</sub>, S<sub>u2</sub>, …, S<sub>um</sub>に印加される維持パルス、S<sub>1</sub>, S<sub>2</sub>, S<sub>3</sub>, …, S<sub>m</sub>(図16ではS<sub>1</sub>～S<sub>3</sub>のみ示してある)は、各表示セルの走査電極S<sub>c1</sub>, S<sub>c2</sub>, …, S<sub>cm</sub>にそれぞれ印加される走査パルス、A<sub>n</sub>は各表示セルのデータ電極D<sub>i</sub>(1≤i≤n)に印加されるデータパルスである。

【0014】ここで、書き込み放電においては各表示セルの走査電極S<sub>c1</sub>, S<sub>c2</sub>, …, S<sub>cm</sub>に順次走査パルスP<sub>w</sub>を印加する(図16(c), (e), (g))とともに、この走査パルスP<sub>w</sub>に同期して、表示を行うべき表示セルのデータ電極D<sub>i</sub>(1≤i≤n)にデータパルスP<sub>d</sub>を選択的に印加し(図16(a))、表示すべきセルに書き込み放電を発生させて壁電荷を生成する。そして、書き込み放電を終了した走査電極毎に、維持電極、走査電極、維持電極、…の順に維持パルスP<sub>s</sub>を印加し維持放電を維持する。

【0015】第2の従来例では、書き込み以外の電極に維持パルスが印加されている期間においても画素データパルスの印加が可能になるため、走査パルスのパルス幅及び維持パルスのパルス幅を短くすることなく、画素データの書き込みサイクルを短くできるとしている。この

従来技術では、書き込み放電を発生するための電圧は走査パルス電圧V<sub>S</sub>とデータパルス電圧V<sub>D</sub>の和であるので、これが走査電極Yとデータ(列)電極Dとの間の放電開始電圧より大きく、しかも維持放電に移行するため十分な壁電荷を形成できる電圧でなければならない。一般に、データパルスは全ての走査ラインに対してオン・オフを繰り返すのに対し、走査パルスは表示画像更新毎に各走査ラインに1回づつ発生するのみであるため、データパルスによる消費電力は走査パルスによるものに比べて格段に大きくなる。そこで、走査パルス電圧をできるだけ大きくし、データパルス電圧を小さくする手法が採られる。しかし、走査パルス電圧を大きくするには、耐電圧の大きな駆動回路が必要になるため、その駆動回路は当然のことながら高価になり、表示装置が高額となってしまう。

【0016】図17は特開平6-337654号公報に開示された第3の従来例を示すタイムチャートである。第3の従来例は、同様に交流放電メモリ動作型のPDPであるが、書き込み放電直後に維持電極に壁電荷生成パルスを印加して壁電荷を生成する方式のものである。図17において、C<sub>1</sub>, C<sub>2</sub>, C<sub>3</sub>, …, C<sub>m</sub>(図17ではC<sub>1</sub>～C<sub>3</sub>のみ示してある)は各表示セルの維持電極S<sub>u1</sub>, S<sub>u2</sub>, …, S<sub>um</sub>に共通に印加される維持パルス、S<sub>1</sub>, S<sub>2</sub>, S<sub>3</sub>, …, S<sub>m</sub>(図17ではS<sub>1</sub>～S<sub>3</sub>のみ示してある)は、各表示セルの走査電極S<sub>c1</sub>, S<sub>c2</sub>, …, S<sub>cm</sub>にそれぞれ印加される走査パルス、A<sub>n</sub>は各表示セルのデータ電極D<sub>i</sub>(1≤i≤n)に印加されるデータパルスである。

【0017】ここで、図17に示すPDPは、書き込み放電においては各走査電極S<sub>c1</sub>, S<sub>c2</sub>, …, S<sub>cm</sub>に順次走査パルスP<sub>w</sub>を印加するとともに、この走査パルスP<sub>w</sub>に同期して、表示を行うべき表示セルのデータ電極D<sub>i</sub>(1≤i≤n)にデータパルスP<sub>d</sub>を選択的に印加し、その走査パルスP<sub>w</sub>の直後に維持電極S<sub>u1</sub>, S<sub>u2</sub>, …, S<sub>um</sub>に走査パルスP<sub>w</sub>とは逆極性の壁電荷生成パルスP<sub>k</sub>を印加して壁電荷を生成するものである。

【0018】第3の従来例では、書き込み放電時において、データ(列)電極と走査(Y)電極との間に放電を発生させるパルスと、走査(Y)電極と維持(X)電極との間に壁電荷を形成するパルスとを分離したので、走査パルスのパルス幅を短くし、画素データの書き込みサイクルを短くできるとしている。しかし、この従来技術においても、第2の従来例と同様に、書き込み放電を発生するための電圧は走査パルス電圧V<sub>S</sub>とデータパルス電圧V<sub>D</sub>の和であるので、これを走査電極Yとデータ(列)電極Dとの間の放電開始電圧より大きくしなければならない。そこで、走査パルス電圧をできるだけ大きくし、データパルス電圧を小さくする手法が採られるが、走査パルス電圧を大きくするには、耐電圧の大きな

## (6) 000-132141 (P 2000-132141A)

駆動回路が必要になるため、その駆動回路は高価になり、表示装置が高額となってしまう。

## 【0019】

【発明が解決しようとする課題】書き込み放電と維持放電とを異なるタイミングで行う方式の第1の従来例では、走査パルスとデータパルスは同時に印加するものの、維持パルスとデータパルスが同時に印加することはなく、したがって書き込み放電と維持放電が独立となるため安定に制御できる。しかしながら、維持放電期間を書き込み放電期間として利用できないため、書き込み放電期間の利用時間に限界があり、この結果、高精細パネルや高速フレーム周波数に対応しながら高階調表示を行うことが困難であった。

【0020】また、書き込み放電と維持放電とを異なる走査電極で同時制御する方式の第2及び第3の従来例では、維持放電期間も書き込み放電期間として利用できるため、書き込み放電期間の時間を拡大できる。しかし、書き込み放電のための駆動回路に高耐圧のものを必要とするため、システムが高価になるという欠点あった。

【0021】したがって本発明は、PDPの書き込み放電及び維持放電の特性を良好にするとともに、安価な駆動回路にて達成する駆動方式を提供することを目的とする。

## 【0022】

【課題を解決するための手段】このような課題を解決するために本発明は、複数の走査電極と、複数の維持電極と、前記走査電極、維持電極と交差する複数のデータ電極とを有するとともに、前記走査電極、維持電極と前記データ電極とが交差する部分に表示セルが形成されたプラズマディスプレイにおいて、走査電極と維持電極の電位関係が周期的に入れ替わるように、データ電極の基準電位に対して負電位である負電位維持パルスと正電位である正電位維持パルスを交互に印加しておき、負電位維持パルスの電位よりさらに負電位の走査パルスを、走査電極の負電位維持パルスに重畠して順次印加するとともに、維持電極には、対になって表示セルを構成する走査電極の走査パルスと同時に、正電位維持パルスの電位より低電位である半選択パルスを印加し、データ電極には、各走査電極の走査パルスのタイミングに対応して、基準電位より正電位であるデータパルスを、映像表示データにしたがって選択的に印加するようにしたものである。また、奇数ラインの走査電極と偶数ラインの維持電極に印加する維持パルス列の位相を同じくし、かつ偶数ラインの走査電極と奇数ラインの維持電極に印加する維持パルス列の位相を同じくし、さらに奇数ラインの走査電極と偶数ラインの維持電極に印加する維持パルス列の位相と偶数ラインの走査電極と奇数ラインの維持電極に印加する維持パルス列の位相を180°ずらすようにしたものである。また、時間的に連続してデータパルスを印加する場合、走査パルスを印加する選択走査ラインの

遷移期間に、データ電極の電位を基準電圧に戻さずにデータパルスの電位を保持するようにしたものである。また、走査電極及び維持電極を複数の電極群に分割し、正電位維持パルス及び負電位維持パルスのパルス幅を電極群数分の1以下に設定し、電極群毎に共通に印加する正電位維持パルスと負電位維持パルスの位相を維持パルス幅以上づつずらすようにしたものである。また、走査パルスの印加の終了から最初の維持パルスの印加開始までの期間において、走査電極の電位を基準電位と走査パルスの電位の中間電位に保持するようにしたものである。また、走査パルスの印加に先立って、走査電極に正電位または負電位の予備放電パルスを印加し、維持電極には、走査電極に印加する予備放電パルスと逆電位である負電位または正電位の予備放電パルスを同時に印加し、予備放電パルスの印加終了時に自己消去放電を発生させるようにしたものである。また、走査パルスの印加に先立って、走査電極に正電位または負電位の予備放電パルスを印加し、維持電極には、走査電極に印加する予備放電パルスと逆電位である負電位または正電位の予備放電パルスを同時に印加するとともに、予備放電パルスの印加終了時に自己消去放電を発生させ、かつ予備放電パルスの印加終了後に予備放電パルス電位とは逆電位である細幅消去パルスを走査電極と維持電極の少なくとも一方に印加するようにしたものである。また、走査パルス及び所定数の維持パルスを印加した後、維持パルスに置き換えて互いに電位の異なる細幅消去パルスを走査電極と維持電極のそれぞれに印加するようにしたものである。

## 【0023】

【発明の実施の形態】以下、本発明について図面を参照して説明する。図1は、図14に示す交流放電メモリ動作型のPDPを駆動する第1の駆動回路の構成を示す回路図である。この駆動回路は、図14に示すパネル2中の表示セル1の各電極を駆動する回路であり、図14に示す走査ドライバ4、維持ドライバ5、及びアドレスドライバ6に設けられている。図1において、表示セル1の走査電極Scを駆動する走査ドライバ4内の駆動回路は、MOS型電界効果トランジスタ（以下、トランジスタ）T21～T27と、ダイオードD21～D27とからなる。また、表示セル1の維持電極Suを駆動する維持ドライバ5内の駆動回路は、トランジスタT31～T37とダイオードD31～D37とからなる。さらに、表示セル1のデータ電極Diを駆動するアドレスドライバ6内の駆動回路は、トランジスタT11、T12からなる。図1の第1の駆動回路は、後述の図2、図3の各駆動波形図に示すデータパルスPd、正極性維持パルスPs+、負極性維持パルスPs-、走査パルスPwなどを発生し表示セル1の各電極を駆動する。

【0024】以下、図1の第1の駆動回路の動作について説明する。表示セル1のデータ電極Diを駆動するアドレスドライバ6はトランジスタT11をオンにし、ト

(7) 000-132141 (P2000-132141A)

トランジスタT12をオフにすることで、データパルスPd（電圧：Vd）を出力する一方、トランジスタT11をオフにし、トランジスタT12をオンにすることで、0Vとしデータパルスを出力しない。また、表示セル1の走査電極Scを駆動する走査ドライバ4ではトランジスタT24をオンにし、ダイオードD21, D24を介して負極性維持パルスPs-（電圧：-1/2Vs）を走査電極Scに出力する。また、同時に維持ドライバ5ではトランジスタT35をオンにし、ダイオードD32, D35を介して正極性維持パルスPs+（電圧：+1/2Vs）を維持電極Suに出力する。

【0025】ここで、正極性維持パルスから負極性維持パルスへの遷移及び負極性維持パルスから正極性維持パルスへの遷移は、パネル静電容量CとコイルL20とかなるLC共振回路を基本とした電力（電荷）回收回路と呼ばれる回路構成に基づきエネルギーを回収利用しながら遷移させている（例えば、特許公報第2755201号参照）。この場合、走査電極Scの負極性維持パルスPs-から正極性維持パルスPs+への遷移、および維持電極Suの正極性維持パルスPs+から負極性維持パルスPs-への遷移は、走査ドライバ4内のトランジスタT27および、維持ドライバ5内のトランジスタT36をそれぞれオンにすることにより行っている。即ち、各トランジスタT27, T36がオンすると、パネル静電容量Cに電荷が蓄積されているため、維持電極SuからダイオードD31, D36、トランジスタT36、コイルL20、トランジスタT27、ダイオードD27, D22を経由して、走査電極Scに電流が流れパネル静電容量Cに逆極性の電荷が蓄積される。

【0026】この動作により、表示セル1の走査電極Scはほぼ正極性維持パルスの電位に、表示セル1の維持電極Suはほぼ負極性維持パルスの電位に移行する。さらに、維持発光電流を供給できる走査ドライバ4内の低インピーダンスのトランジスタT25をオンにし、ダイオードD25, D22を介して走査電極Scに正極性維持パルスPs+（電圧：+1/2Vs）を出力するとともに、維持ドライバ5内の低インピーダンスのトランジスタT34をオンにしてダイオードD34, D31を介し維持電極Suに負極性維持パルスPs-（電圧：-1/2Vs）を出力する。

【0027】一方、走査電極Scの正極性維持パルスPs+から負極性維持パルスPs-への遷移および維持電極Suの負極性維持パルスPs-から正極性維持パルスPs+への遷移は、走査ドライバ4内のトランジスタT26および維持ドライバ5内のトランジスタT37をオンにすることにより行われる。即ち、トランジスタT26, T37をオンすると、パネル静電容量Cに電荷が蓄積されているため、走査電極Scから、ダイオードD21, D26、トランジスタT26、コイルL20、トランジスタT37、ダイオードD37, トランジスタT3

1を経由し、維持電極Suに電流が流れパネル静電容量Cに逆極性の電荷が蓄積される。

【0028】この動作により、表示セル1の走査電極Scはほぼ負極性維持パルスの電位に、維持電極Suはほぼ正極性維持パルスの電位に移行する。さらに、維持発光電流を供給できる低インピーダンスのトランジスタT24をオンにし、ダイオードD24, D21を介して走査電極Scに負極性維持パルスPs-（電圧：-1/2Vs）を出力するとともに、低インピーダンスのトランジスタT35をオンにしてダイオードD35, D32を介して維持電極Suに正極性維持パルスPs+（電圧：+1/2Vs）を出力する。

【0029】ここで、走査ドライバ4で、トランジスタT24およびトランジスタT22, T23をオンにすると、ダイオードD24, D21を介して表示セル1の走査電極Scは-1/2Vs電位となり、さらにダイオードD23およびトランジスタT22を介して走査電極Scに走査パルスPw（電圧：Vw）が出力される。なお、走査パルスPwは負極性維持パルスPs-に重畠する形態を採っているので、トランジスタT21, T22及びダイオードD21, D22の耐電圧はVwと-1/2Vsの電位差以上であれば良い。

【0030】一方、維持ドライバ5で後述の半選択パルスを発生するために、トランジスタT32, T33をオンにすると、ダイオードD33, トランジスタT32を介して表示セル1の維持電極Suに半選択パルスPs w（電圧：Vsw）が出力される。このように図1の第1の駆動回路は、走査電極Sc及び維持電極Suに対し正極性維持パルスPs+及び負極性維持パルスPs-を印加するとともに、負極性維持パルスPs-に走査パルスPwを重畠して走査電極Scに印加し、かつデータ電極DiへのデータパルスPdの印加及び維持電極Suへの半選択パルスPs wの印加を可能にしたものである。以上表示セルの各電極を駆動する第1の駆動回路の動作を説明したが、後述の図2, 図3に示す駆動波形を表示セルの各電極に出力できるのであれば、図1の第1の駆動回路に限定されない。

【0031】図2は図1の第1の駆動回路による第1の駆動例を示す駆動波形図である。各表示セルの奇数走査電極Sc1には図2(a)に示すように、維持放電電圧Vsのほぼ1/2の電圧となる負極性維持パルスPs-（電圧：-1/2Vs）と、維持放電電圧Vsのほぼ1/2の電圧となる正極性維持パルスPs+（電圧：+1/2Vs）とを交互に印加する。各表示セルの奇数維持電極Su1には図2(b)に示すように、奇数走査電極Sc1と位相が180°ずれた負極性維持パルスPs-と正極性維持パルスPs+を印加する。

【0032】なお、各表示セルの偶数走査電極Sc2には、図2(c)に示すように、奇数維持電極Su1と同位相の正極性及び負極性維持パルスを印加する。また、

## (8) 000-132141 (P2000-132141A)

各表示セルの偶数維持電極S u 2には、図2(d)に示すように、奇数走査電極S c 1と同位相の正極性及び負極性維持パルスを印加する。ここで、走査パルスP w(電圧:V w)は走査電極の負極性維持パルスP s-と同タイミングで重畠されるように順次印加する(図2(a), (c))。また、走査パルスP wを印加する走査電極と対をなす維持電極には、走査パルスP wが印加されるタイミングにおいて、上記した半選択パルスP s w(電圧:V s w)を印加する(図2(b), (d))。また、走査パルスP wに合わせてデータパルスP d(電圧:V d)を選択的にデータ電極D iに印加する(図2(e))。

【0033】なお、図2(e)のデータパルスP dの変化タイミングは維持パルスの立ち上がり、立ち下がりと同じタイミングとする。これにより、データパルスと次のデータパルス間の休止時間がなくなり、データパルスを連続的に出力する時にグランドGND電位に一旦戻ることがなくなるので、図1に示すパネル静電容量Cの充放電(無効)電流を低減できる。

【0034】次に図2の駆動波形図に基づき本発明の要部動作を説明する。ここでは、互いに対をなす走査電極S c 1と維持電極S u 1について説明するが、他の走査電極及び維持電極についても同様である。書き込み放電以前では、表示セル1の走査電極S c 1、維持電極S u 1およびデータ電極D i側には壁電荷がほとんどない状態を形成しておく。そのため、走査電極S c 1の負極性維持パルスP s-電圧(-約90V(又は、正極性維持パルスP s+電圧))と、維持電極S u 1の正極性維持

$$V_{f c u} > | + 1/2 V_s | + | - 1/2 V_s | \quad (1)$$

$$V_w + V_d > V_{f c d} > | - 1/2 V_s | + V_d \quad (2)$$

$$V_{f u d} > | - 1/2 V_s | + V_d \quad (3)$$

とすれば良い。

【0037】書き込み放電が発生した表示セル1では、書き込み放電後の走査電極S c 1の正極性維持パルスP s+電圧(約90V)及び維持電極S u 1の負極性維持パルスP s-電圧(約-90V)に、書き込み放電時に形成された走査電極S c 1側上の正電荷による電圧及び維持電極S u 1側の負電荷による電圧がそれぞれ重畠され、こうした電圧が走査電極S c 1と維持電極S u 1間の放電しきい値電圧を越えるので、維持放電が発生する。その結果、走査電極S c 1側に負電荷が、維持電極S u 1側に正電荷をそれぞれ形成される。このときデータ電極D iには別の走査電極用のデータパルスP dが印加されていても書き込み放電後にはデータ電極D i側に負電荷が形成されているため、負極性維持パルスP s-が印加される維持電極S u 1とデータ電極D i間では放電しきい値電圧を越えることがなく、維持放電特性を阻害することはない。

【0038】次の維持パルスでは、走査電極S c 1の負極性維持パルスP s-電圧(約-90V)と、維持電極

パルスP s+電圧(約90V(又は、負極性維持パルスP s-電圧))とでは、走査電極S c 1と維持電極S u 1間の放電しきい値電圧を越えることがなく、維持放電を発生することはない。また、別の走査電極上の表示セルの書き込み放電を目的としたデータパルスP dの電圧(約70V)がデータ電極D iに印加された場合でも、このデータパルスP dの電圧と、走査電極S c 1の負極性維持パルスP s-電圧あるいは維持電極S u 1の負極性維持パルスP s-電圧とでは、走査電極S c 1と維持電極S u 1間に放電を発生することはない。

【0035】ここで選択されるべき表示セル1では、走査電極S c 1への走査パルスP w(約-170V)とデータ電極D iへのデータパルスP d(約70V)の印加により、走査電極S c 1とデータ電極D i間の放電しきい値電圧を越えるので書き込み放電が発生し、この結果、走査電極S c 1側には正電荷がデータ電極D i側には負電荷がそれぞれ壁電荷として形成される。この放電に誘発されて走査電極S c 1と維持電極S u 1間でも放電が発生し、維持電極S u 1側に負電荷が形成される。維持電極S u 1に印加する半選択パルスP s w(約10V)は、この誘発される放電を確実に行うためのものである。

【0036】これらの動作を行うには、表示セルを次のような関係式の得られる構造にすれば達成できる。すなわち、走査電極と維持電極間の放電開始電圧をV f c u、走査電極とデータ電極間の放電開始電圧をV f c d、維持電極とデータ電極間の放電開始電圧をV f u dとしたとき、

$$V_{f c u} > | + 1/2 V_s | + | - 1/2 V_s | \quad (1)$$

$$V_w + V_d > V_{f c d} > | - 1/2 V_s | + V_d \quad (2)$$

$$V_{f u d} > | - 1/2 V_s | + V_d \quad (3)$$

S u 1の正極性維持パルスP s+電圧(約90V)と、その前の維持放電で形成された走査電極S c 1側の負電荷と、維持電極S u 1側の正電荷とが重畠されることにより維持放電が発生し、走査電極S c 1側に正電荷が維持電極S u 1側に負電荷がそれぞれ形成される。この場合、その前の維持放電の場合と同様、データパルスP dの印加により維持放電特性が阻害されることはない。引き続き、表示セル1の走査電極S c 1および維持電極S u 1に正極性維持パルスP s+と負極性維持パルスP s-とを交互に印加することで維持放電が持続される。以上の動作を各走査電極毎に順次行い、パネル全面の各表示セルについて書き込み放電及び維持放電を行う。

【0039】このように本発明は、負極性維持パルスP s-に走査パルスP wを同一タイミングで重畠したこと、及び奇数走査電極S c 1と偶数走査電極S c 2との間の維持パルスの位相を180°ずらしたことにより、休止期間をおくことなく走査パルスP wを連続的に印加することができる。また、維持パルスを、正極性維持パルスP s+(+1/2 V s)と負極性維持パルスP s-

(9) 000-132141 (P2000-132141A)

( $-1/2 \text{ V s}$ ) したことにより、維持放電期間での走査電極  $S_c$  又は維持電極  $S_u$  と、データ電極  $D_i$  との間の電位差を低減したため、走査電極  $S_c$  又は維持電極  $S_u$  とデータ電極  $D_i$  間の不要な放電を抑えることができ、したがって書き込み放電期間と維持放電期間を共存させるとともに各放電を安定に行うことができる。この結果、書き込み放電期間としての利用率が大きくなる。また、データパルス間で休止期間を削除できるため、データパルス  $P_d$  を連続的に出力する時にはグランド  $GND$  電位に一旦戻ることがなくなり、この結果、パネル静電容量  $C$  の充放電（無効）電流を低減できる。

【0040】図3は図1の第1の駆動回路による第2の駆動例を示す駆動波形図である。第2の駆動例における奇数走査電極  $S_c 1, S_c 3, S_c 5, S_c 7$ 、偶数走査電極  $S_c 2, S_c 4, S_c 6, S_c 8$ 、奇数維持電極  $S_u 1$ 、偶数維持電極  $S_u 2$  に印加する維持パルスの構成は、図2の第1の駆動例の場合と同様であるので説明を省略する。

【0041】第2の駆動例においては、図2の第1の駆動例と同様、走査パルス  $P_w$ （電圧： $V_w$ ）を走査電極  $S_c$  の負極性維持パルス  $P_{s-}$  に重畳するが、このとき一つの負極性維持パルス印加期間内に4つの走査パルス  $P_w$ （電圧： $V_w$ ）を順次印加する（図3（a）, (e), (g), (i)）。走査パルス  $P_w$  が印加される走査電極と対をなす維持電極には、負極性維持パルス  $P_{s-}$  が印加されるタイミングにおいて半選択パルス  $P_{sw}$ （電圧： $V_{sw}$ ）を印加する（図3（b）, (d)）、走査電極  $S_c 3 \sim S_c 8$  に対応する維持電極  $S_u 3 \sim S_u 8$  のタイミングは省略）。また、走査パルス  $P_w$  と同一タイミングでデータパルス  $P_d$ （電圧： $V_d$ ）を選択的にデータ電極  $D_i$  に印加する（図3（k））。さらに、データパルス間の休止時間をなくせば、データパルスを連続的に出力する時にグランド  $GND$  電位に一旦戻ることがなくなるので、上記の駆動例と同様、パネル静電容量  $C$  の充放電（無効）電流を低減できる。

【0042】また、第2の駆動例では、まず走査電極  $S_c 1$ への走査パルス  $P_w$ （約 $-170 \text{ V}$ ）、維持電極  $S_u 1$ への半選択パルス  $P_{sw}$ （約 $10 \text{ V}$ ）、及びデータ電極  $D_i$ へのデータパルス  $P_d$ （約 $70 \text{ V}$ ）により書き込み放電を行い、表示セル1の走査電極  $S_c$  側に正電荷が、維持電極  $S_u$  側およびデータ電極  $D_i$  側に負電荷が形成される。引き続き、走査電極  $S_c 3, S_c 5, S_c 7$  順に同様の書き込み放電を行い、表示セル1の走査電極  $S_c$  側に正電荷を、維持電極  $S_u$  側およびデータ電極  $D_i$  側に負電荷を形成する。維持放電は4つの維持電極について同一タイミングで開始し、繰り返す。以上のように、書き込み放電を4走査電極分行い、維持放電は4維持電極同時で開始することを走査電極分線り返す。

【0043】ここで、別の走査電極のデータパルス  $P_d$

との間の不要な放電は、第1の駆動例と同様に発生することはない。また、図3の第2の駆動例の場合も図2の第1の駆動例の場合と同様の効果が得られる。また、図3の第2の駆動例では、負極性維持パルス  $P_{s-}$  に複数の走査パルスが印加されているが、走査パルス間の休止期間がないため第1の駆動例の場合と同様に時間の利用効率が大きくなる。

【0044】なお、図3の第2の駆動例では次のような効果も期待できる。一般に、高精細パネル（走査電極数が多い）や高階調表示（サブフィールド数が多い）を必要とする駆動では走査パルス幅が $2 \sim 4 \mu\text{s}$ 以下（走査電極数を480本で $256 (= 2^8)$ 階調表示数（8サブフィールド）を $4 \mu\text{s}$ で駆動すると、走査時間は $1.5 \sim 3.6 \text{ ms}$ となり、TV表示でのフレーム周波数 $60 \text{ Hz} (= 16.7 \text{ ms})$ ではその殆どを走査期間に費やすことになる。この場合、図2の第1の駆動例では維持パルス幅も同じ $2 \sim 4 \mu\text{s}$ 以下となる。しかし、プラズマディスプレイでは、維持パルス周波数が高くなる（ $100 \text{ kHz}$ 程度以上（維持パルス幅 $5 \mu\text{s}$ 以下））と、蛍光体発光やガス発光の飽和が発生し、維持パルス数を増やしても発光輝度がそれに比例して増加しなくなる。したがって、維持パルス幅が短く、維持パルスの周波数が高くなるほど、発光効率が低下することになる。図3の第2の駆動例では、図2の第1の駆動例と異なって維持周波数を適度な値に保持したままで、走査パルス数を増加する事が可能になるため、高精細パネルや高階調表示に対応でき、しかもPDPの発光効率を上げることが可能となる。

【0045】なお、図3の第2の駆動例では走査電極  $S_c$  の負極性維持パルス  $P_{s-}$  に4つの走査パルスを順次印加する場合を説明したが、印加する走査パルス数が2つ以上であれば同様の効果が得られることは言うまでもない。また、図3の第2の駆動例では半選択パルス  $P_{sw}$ を負極性維持パルス  $P_{s-}$  と同一タイミングで印加する例を説明したが、走査パルス幅と同タイミングで印加し、その他の時間を負極性維持パルス電位（電圧： $-1/2 \text{ V s}$ ）、あるいは正極性維持パルス電位（電圧： $1/2 \text{ V s}$ ）としても、表示セル1の書き込み放電時には走査電極  $S_c$  と維持電極  $S_u$  間で放電が発生するので同様な効果が得られる。

【0046】次に、図4は図1に示す交流放電メモリ動作型のPDPを駆動する第2の駆動回路の構成を示す回路図である。図4に示す第2の駆動回路は、図1の第1の駆動回路に対し、走査電極  $S_c$ 、維持電極  $S_u$  及びデータ電極  $D_i$  の各駆動波形を正電位の方に $1/2 \text{ V s}$ 分シフトした回路構成を探ったもので、後述の図5に示すような駆動波形を生成して表示セル1の各電極を駆動するものである。

【0047】図5は図4の第2の駆動回路による駆動例を示す駆動波形図である。この駆動例においては、表示

(10) 00-132141 (P 2000-132141A)

セル1の走査電極S<sub>c</sub>と維持電極S<sub>u</sub>に対し正極性維持パルスP<sub>s p</sub>（電圧：V<sub>s</sub>）を交互に印加する。そして、走査電極S<sub>c</sub>には、正極性維持パルスP<sub>s p</sub>の停止期間に走査パルスP<sub>w</sub>（電圧：-V<sub>w</sub>）を印加し（図5（a）、（c））、かつこれと同一タイミングで維持電極S<sub>u</sub>に半選択パルスP<sub>s w</sub>（電圧：V<sub>s w</sub>）を印加する（図5（b）、（d））とともに、データ電極D<sub>i</sub>にデータパルスP<sub>d</sub>（電圧：V<sub>d 2</sub>-V<sub>d 1</sub>）を印加して（図5（e））、書き込み放電を行う。

【0048】図5の駆動例は、図2の第1の駆動例において、走査電極S<sub>c</sub>及び維持電極S<sub>u</sub>の各パルスを正電位の方に1/2V<sub>s</sub>シフトした電圧構成であり、データ電極のデータパルスP<sub>d</sub>のシフト分であるV<sub>d 1</sub>をほぼ1/2V<sub>s</sub>と設定することで、表示セル1の走査電極S<sub>c</sub>、維持電極S<sub>u</sub>及びデータ電極D<sub>i</sub>での電圧バランスは同様となる。従って、図5の駆動例の場合も図2の第1の駆動例の効果と同様の効果が得られる。

【0049】次に図6は図14に示す交流放電メモリ動作型のPDPを駆動する第3の駆動回路の構成を示す回路図であり、後述の図7及び図8の各駆動波形図に示す波形を生成して表示セル1の各電極を駆動するものである。この第3の駆動回路は、走査電極S<sub>c</sub>及び維持電極S<sub>u</sub>にグランドGND電位を与え、かつ走査電極S<sub>c</sub>に後述の走査ベースパルスP<sub>b w</sub>（電圧：V<sub>b w</sub>）を与えるために、図1の走査ドライバ4に、トランジスタT4 1, T4 2, T5 1とダイオードD4 1, D4 2, D5 1とを付加するとともに、図1の維持ドライバ5に、トランジスタT4 3, T4 4及びダイオードD4 3, D4 4を付加したものである。

【0050】次に第3の駆動回路の動作を説明するが、データ電極D<sub>i</sub>の駆動動作は、図1の第1の駆動回路と同様であるのでその説明を省略し、図1の回路と異なる走査電極S<sub>c</sub>及び維持電極S<sub>u</sub>の駆動動作のみについて説明する。走査ドライバ4ではトランジスタT4 1, T4 2をオンにし、ダイオードD2 1, D2 2, D4 1, D4 2を介し、表示セル1の走査電極S<sub>c</sub>をグランドGND電位にする。同時に維持ドライバ5ではトランジスタT4 3, T4 4をオンにしダイオードD3 1, D3 2, D4 3, D4 4を介して表示セル1の維持電極S<sub>u</sub>をグランドGND電位にする。

【0051】各電極のグランドGND電位から正極性（又は負極性）維持パルスへの遷移、または正極性（又は負極性）維持パルスからグランドGND電位への遷移は、パネル静電容量CとコイルLとからなるLC共振回路を基本とした電力（電荷）回收回路と呼ばれる回路構成により、エネルギーを回収利用して遷移させている。なお、図6の第3の駆動回路の場合は、外部コンデンサC2 1, C2 2に電荷を蓄積しておき、コンデンサC2 1, C2 2とパネル静電容量CとコイルLとで共振させて、コンデンサC2 1及びC2 2への蓄積電圧以上の振

幅電圧波形を出力するものである。

【0052】ここで、表示セル1の走査電極S<sub>c</sub>のグランドGND電位から正極性維持パルスP<sub>s +</sub>への遷移は次のようにして行われる。このとき、コンデンサC2 1, C2 2にはそれぞれ+1/4V, -1/4Vの電圧に相当する電荷が蓄積されているものとする。まず、走査ドライバ4のトランジスタT2 7及びトランジスタT6 1をオンにすることにより、外部コンデンサC2 1からトランジスタT6 1、コイルL2 1を通り、トランジスタT2 7、ダイオードD2 7, D2 2を経由して表示セル1の走査電極S<sub>c</sub>に向かって電流が流れ、このときコンデンサC2 1とパネル静電容量CとコイルL2 1とにより共振が発生するため、走査電極S<sub>c</sub>は、コンデンサC2 1の電圧の約2倍である+1/2V<sub>s</sub>から回路損失分を除いた電圧に引き上げられる。

【0053】また、表示セル1の維持電極S<sub>u</sub>のグランドGND電位から負極性維持パルスP<sub>s -</sub>への遷移は次のようにして行われる。即ち、維持ドライバ5のトランジスタT3 6及びトランジスタT6 4をオンにすることにより、パネル静電容量Cから維持電極S<sub>u</sub>を通り、さらにダイオードD3 1, D3 6、トランジスタT3 6、コイルL2 2、トランジスタT6 4を経由して外部コンデンサC2 2に向かって電流が流れ。このときパネル静電容量CとコイルL2 2とコンデンサC2 2とにより共振が発生するため、維持電極S<sub>u</sub>は、コンデンサC2 2の蓄積電圧の約2倍である-1/2V<sub>s</sub>から回路損失分を除いた電圧に引き下げられる。さらに、維持発光電流を供給するトランジスタT2 5をオンにし、ダイオードD2 5, D2 2を介して走査電極S<sub>c</sub>に正極性維持パルスP<sub>s +</sub>（電圧：+1/2V<sub>s</sub>）を出力するとともに、トランジスタT3 4をオンにして、ダイオードD3 4, D3 1を介して維持電極S<sub>u</sub>に負極性維持パルスP<sub>s -</sub>（電圧：-1/2V<sub>s</sub>）を出力する。

【0054】次に、表示セル1の走査電極S<sub>c</sub>の正極性維持パルスP<sub>s +</sub>からグランドGND電位への遷移は次のようにして行われる。即ち、トランジスタT2 6, T6 1をオンすることにより、パネル静電容量Cから走査電極S<sub>c</sub>を通り、さらにダイオードD2 1, D2 6、トランジスタT2 6、コイルL2 1、トランジスタT6 1を経由して外部コンデンサC2 1に電流が流れ。このとき上述したように共振回路が形成されて、表示セル1の走査電極S<sub>c</sub>がほぼグランドGND電位になる。

【0055】また、表示セル1の維持電極S<sub>u</sub>の負極性維持パルスP<sub>s -</sub>からグランドGND電位への遷移は次のようにして行われる。即ち、トランジスタT3 7, T6 4をオンにすることにより、外部コンデンサC2 2からトランジスタT6 4、コイルL2 2を通り、さらにトランジスタT3 7、ダイオードD3 7, D3 2を経由して表示セル1の維持電極S<sub>u</sub>に向かって電流が流れ、前述と同様に共振回路が形成されて維持電極S<sub>u</sub>はほぼグ

(11) 00-132141 (P2000-132141A)

ランドGND電位になる。さらに、走査電極Sc及び維持電極Suの電位を低インピーダンスでグランド電位GNDに保持するため、トランジスタT41, T42をオンにする。

【0056】次に、表示セル1の走査電極ScのグランドGND電位から負極性維持パルスPs-への遷移は次のようにして行われる。即ち、トランジスタT26, T62をオンにすることにより、ダイオードD21, D26、トランジスタT26、コイルL21、トランジスタT62を経由して外部コンデンサC22に電流が流れ、前述と同様にコンデンサC22とパネル静電容量CとコイルL21とで共振回路が形成され、走査電極Scはほぼ負極性維持パルス電位に達する。

【0057】また、表示セル1の維持電極SuのグランドGND電位から正極性維持パルスPs+への遷移は次のようにして行われる。即ち、トランジスタT37, T63をオンにすることにより、外部コンデンサC21からトランジスタT63、コイルL22を通り、トランジスタT37、ダイオードD37, D32を経由し維持電極Suに電流が流れ、前述と同様に共振回路が形成され、維持電極Suはほぼ正極性維持パルス電位に達する。さらに、維持発光電流を供給するトランジスタT24をオンにし、ダイオードD24, D21を介して走査電極Scに負極性維持パルスPs-（電圧：-1/2Vs）を出力するとともに、トランジスタT35をオンにしダイオードD35, D32を介して維持電極Suに正極性維持パルスPs+（電圧：+1/2Vs）を出力する。

【0058】次に、表示セル1の走査電極Scの負極性維持パルスPs-からグランドGND電位への遷移は次のようにして行われる。即ち、トランジスタT27, T62をオンにすることにより、外部コンデンサC22からトランジスタT62、コイルL21を通り、トランジスタT27、ダイオードD27, D22を経由し表示セル1の走査電極Scに電流が流れ、前述と同様に共振回路が形成されて走査電極ScはほぼグランドGND電位になる。

【0059】また、表示セル1の維持電極Suの正極性維持パルスPs+からグランドGND電位の遷移は次のようにして行われる。即ち、トランジスタT36, T63をオンにすることにより、パネル静電容量Cから維持電極Suを通り、ダイオードD31, D36、トランジスタT36、コイルL22、トランジスタT63を経由し、外部コンデンサC21に向かって電流が流れ、前述と同様に共振回路が形成されて表示セル1の維持電極SuをほぼグランドGND電位にする。さらに、走査電極Sc及び維持電極Suの電位を低インピーダンスでグランド電位GNDに保持するため、トランジスタT41, T42をオンにし、ダイオードD21, D22, D41, D42を介して走査電極ScをグランドGNDにす

るとともに、トランジスタT43, T44をオンにし、ダイオードD31, D32, D43, D44を介して表示セル1の維持電極SuをグランドGND電位にする。

【0060】ここで、走査ドライバ4のトランジスタT24およびトランジスタT22, T23をオンにすると、ダイオードD23およびトランジスタT22を介して表示セル1の走査電極Scに走査パルスPw（電圧：Vw）が outputされる。このとき、走査パルスPwは負極性維持パルスPs-に重畳する形態であるので、トランジスタT21, T22及びダイオードD21, D22の耐電圧はVwと-1/2Vsの電位差以上であれば良い。また、トランジスタT24の代わりに、トランジスタT51をオンにすると、走査電極Scには走査ベースパルスPbw（電圧：Vbw）に重畳する形態で、走査パルスPwが印加される。この場合には、トランジスタT21, T22及びダイオードD21, D22の耐電圧はVwとVbwの電位差以上であれば良い。さらに、維持ドライバ9のトランジスタT32, T33をオンにすると、ダイオードD33, トランジスタT32を介して表示セル1の維持電極Suに半選択パルスPs w（電圧：Vs w）が outputされる。

【0061】このように、図6の第3の駆動回路は、走査電極Sc及び維持電極Suに維持パルスを印加する場合、負極性維持パルスPs-の電位からグランドGND電位に遷移させた後、正極性維持パルスPs+の電位に遷移させるとともに、正極性維持パルスPs+の電位からグランドGND電位に遷移させた後、負極性維持パルスPs-の電位に遷移させるようにしたものである。また、負極性維持パルスPs-或いは走査ベースパルスPbwに走査パルスPwを重畳して走査電極Scに印加できるようにしたものである。

【0062】図7は図6の第3の駆動回路による第1の駆動例を示す駆動波形図である。図7の第1の駆動例では、表示セル1の走査電極Scには維持放電圧Vsのほぼ1/2の電圧となる負極性維持パルスPs-（電圧：-1/2Vs）と維持放電圧Vsのほぼ1/2の電圧となる正極性維持パルスPs+（電圧：+1/2Vs）を交互に印加する。但し、既に説明した図1の第1の駆動回路による駆動例とは異なり、上述したように維持パルスの極性が反転する間にグランドGND電位の時間を設ける。

【0063】図7の第1の駆動例では、維持電極Su1には走査電極Sc1と同タイミングで極性反転した維持パルスPsを印加する（図7（b））。走査電極Sc2には走査電極Sc1より維持パルス幅分位相が遅れた維持パルスを印加し（図7（c））、維持電極Su2には走査電極Sc2と同タイミングで極性反転した維持パルスを印加する（図7（d））。走査電極Sc3には走査電極Sc2より維持パルス幅分位相が遅れた維持パルスを印加し（図7（e））、維持電極Su3には走査電極

(2) 00-132141 (2000-132141A)

S<sub>c</sub> 3と同タイミングで極性反転した維持パルスを印加する(図7(f))。走査電極S<sub>c</sub> 4には走査電極S<sub>c</sub> 3より維持パルス幅分位相が遅れた維持パルスを印加し(図7(g))、維持電極S<sub>u</sub> 4には走査電極S<sub>c</sub> 4と同タイミングで極性反転した維持パルスを印加する(図7(h))。走査電極S<sub>c</sub> 5には走査電極S<sub>c</sub> 4より維持パルス幅分位相が遅れた維持パルスを印加し(図7(j))、維持電極S<sub>u</sub> 5には走査電極S<sub>c</sub> 5と同タイミングで極性反転した維持パルスを印加する(図7(k))。

【0064】走査パルスP<sub>w</sub>(電圧:V<sub>w</sub>)は走査電極の負極性維持パルスP<sub>s-</sub>と同タイミングで重畠するように順次印加する。走査パルスを印加する走査電極と対をなす維持電極には、走査パルスが印加されるタイミングにおいて、半選択パルスP<sub>s w</sub>(電圧:V<sub>s w</sub>)を印加する。また、走査パルスと同タイミングでデータパルスP<sub>d</sub>(電圧:V<sub>d</sub>)を選択的にデータ電極D<sub>i</sub>に印加する。なお、データパルスP<sub>d</sub>の変化タイミングは維持パルスの立ち上がり、立ち下がりと同じタイミングにする。これにより、データパルス間の休止時間がなくなりデータパルスを連続的に出力する時にグランドGND電位に一旦戻ることがなくなるので、パネル静電容量Cの充放電(無効)電流を低減できる。図7の駆動例においては、負極性維持パルスP<sub>s-</sub>と正極性維持パルスP<sub>s+</sub>の間にグランドGND電位の期間が存在するだけであるので、各走査電極毎の書き込み放電動作、維持放電動作は、図1の第1の駆動回路による駆動例の場合と同様になる。したがって第1の駆動回路と同様の効果が得られる。

【0065】なお、図7の駆動例では次のような効果も期待できる。即ち、図1の第1の駆動回路による第2の駆動例(図3の駆動例)の場合と同様に維持周波数を適度な値に保持したままで走査パルス数を増やすことができるので、高精細パネルや高階調表示に対応でき、しかも発光効率を上げることが可能となる。一般に、プラズマディスプレイでは発光輝度を規定する維持放電での投入電流が非常に大きく、40型クラスでは1電極当たり数百mAのピーク電流が必要である。また、同時に複数電極が維持放電することで投入電流はさらに大きく、これがノイズ源となり、不要輻射を大きくしていた。この駆動例では維持パルスを時間的に分散したことにより、上述の投入電流を低減し不要輻射も低減することができる。また、この駆動例では電極毎の維持パルスを、維持パルス周期の1/8だけ位相をずらした場合を示したが、位相差は1/8に限らず、当然維持パルスの1周期内に印加する走査パルス数も8パルスに限定されるものではない。

【0066】なお、図7に示す駆動例では、書き込み放電時に走査パルスP<sub>w</sub>とデータパルスP<sub>d</sub>とにより書き込み放電を発生した場合、書き込み放電時に形成した走

査電極S<sub>c</sub>側の負電荷と、データ電極D<sub>i</sub>側の正電荷と、走査パルスP<sub>w</sub>の立ち上がりおよびデータパルスP<sub>d</sub>の立ち下がりのタイミングにおいて、自己消去放電(書き込み放電により形成された壁電荷にのみによる内部電界で発生する放電)を発生することがある。自己消去放電が発生すると、壁電荷が減少し、その後の維持放電へ遷移しなくなる。

【0067】図8は、こうした自己消去放電の発生を抑制する駆動波形図であり、図6の第3の駆動回路による第2の駆動例を示すものである。図7の第1の駆動例との相違点は、各走査電極の走査パルスP<sub>w</sub>の終了後、走査ベースパルスP<sub>b w</sub>(電圧:V<sub>b w</sub>)を経てグランドGND電位に戻すようにする点である(図8(a),(c),(e),(g))。この走査ベースパルスP<sub>b w</sub>を途中に印加したことで、走査パルス電位V<sub>w</sub>からグランドGND電位への変化を2段階にし、放電発生を促進する活性粒子を適度に減衰させるため、自己消去放電の発生を抑制できる。その他の動作及び効果は図7の第1の駆動例と同様である。

【0068】次に図9は図14に示す交流放電メモリ動作型のPDPを駆動する第4の駆動回路の構成を示す回路図である。この第4の駆動回路は、後述のプライミングパルスP<sub>p+</sub>, P<sub>p-</sub>(電圧:V<sub>p+</sub>, V<sub>p-</sub>)及び維持消去パルスP<sub>e+</sub>, P<sub>e-</sub>(電圧:V<sub>e+</sub>, V<sub>e-</sub>)を発生させるために、図6の走査ドライバ4に、トランジスタT53, ダイオードD53を付加するとともに、図6の維持ドライバ5に、トランジスタT54, T55及びダイオードD54, D55を付加し、後述の図10に示す波形を発生させて表示セル1の各電極を駆動するものである。

【0069】第4の駆動回路は、データパルスP<sub>d</sub>の発生、維持パルスの発生、走査ベースパルスの発生、走査パルスの発生、及び半選択パルスの発生に関しては図6の第3の駆動回路と同様であるのでその動作説明は省略し、図6の第3の駆動回路と異なる動作のみを説明する。まず走査ドライバ4のトランジスタT53をオン、他のトランジスタをオフにすると、ダイオードD53, D21を介して表示セル1の走査電極S<sub>c</sub>に負極性プライミングパルスP<sub>p-</sub>(電圧:V<sub>p-</sub>)が出力される。ここで維持ドライバ5のトランジスタT55, T31をオン、他のトランジスタをオフにすると、ダイオードD55, トランジスタT31を介して表示セル1の維持電極S<sub>u</sub>に正極性プライミングパルスP<sub>p+</sub>(電圧:V<sub>p+</sub>)が出力される。

【0070】また、走査ドライバ4のトランジスタT52をオン、他のトランジスタをオフにすると、ダイオードD52, D22を介して表示セル1の走査電極S<sub>c</sub>に正極性維持消去パルスP<sub>e+</sub>(電圧:V<sub>e+</sub>)が出力される。さらに維持ドライバ4のトランジスタT54をオン、他のトランジスタをオフにすると、ダイオ

(13) 00-132141 (P2000-132141A)

ードD54, D31を介し表示セル1の維持電極Suに負極性維持消去パルスPe-（電圧：Ve-）が出力される。このようにして、図9の第4の駆動回路から、走査電極Sc及び維持電極Suにそれぞれ負極性プライミングパルスPp-（電圧：Vp-）及び正極性プライミングパルスPp+（電圧：Vp+）、または正極性維持消去パルスPe+（電圧：Ve+）及び負極性維持消去パルスPe-（電圧：Ve-）が出力される。

【0071】図10は図9の第4の駆動回路による駆動例を示す駆動波形図である。図10において、各表示セルの各走査電極（即ち、走査電極Sc1, Sc2, Sc3, ...）と、各維持電極（即ち、維持電極Su1, Su2, Su3, ...）に印加する維持パルスの構成は既に説明した図8の駆動波形図と同様であるのでその説明を省略する。図10の駆動例では、走査電極Sc1の負極性維持パルスPs-から正極性維持パルスPs+の直前までの維持パルスの半周期期間に負極性プライミングパルスPp-（電圧：Vp-）を、維持電極Su1には同タイミングで正極性プライミングパルスPp+（電圧：Vp+）を印加する（図10（a）, (b)）。プライミング終了後の走査電極Sc1の次の負極性維持パルスPs-に走査パルスPw（電圧：Vw）を重畠し（図10（a））、同タイミングで維持電極Su1に半選択パルスPs w（電圧：Vsw）を印加し（図10（b））、データ電極DiにデータパルスPd（電圧：Vd）を選択的に印加する（図10（k））。

【0072】走査電極Sc2～Sc4には、走査電極Sc1と同タイミングで負極性プライミングパルスPp-を（図10（c）, (e), (g)）、維持電極Su2～Su4には同様に同タイミングで正極性プライミングパルスPp+をそれぞれ印加する（図10（d）, (f), (h)）。走査電極Sc5については走査電極Sc1と維持パルスの半周期分位相をずらして負極性プライミングパルスPp-を（図10（i））、維持電極Su5には同タイミングで正極性プライミングパルスPp+を印加する（図10（j））。なお、図示省略しているが、以降の走査電極Sc6～Sc8及び維持電極Su6～Su8についても、走査電極Sc5及び維持電極Su5と同タイミングで、それぞれ負極性プライミングパルス及び正極性プライミングパルスを印加する。以上のように走査電極及び維持電極を4電極毎にプライミングパルス幅分、即ち維持パルスの半周期分位相をずらしてプライミングパルスを印加する。

【0073】各走査電極Sc2～Sc4ともにプライミング終了後には、次の負極性維持パルスPs-に走査パルスPwを重畠し、同タイミングでデータパルスPdを選択的にデータ電極Diに印加する。また、各走査電極Sc2～Sc4ともに走査パルスPw印加後、規定回数の維持パルスPsを印加し、走査電極の正極性維持パル

スPs+の印加タイミングで正極性維持消去パルスPe+（電圧：Ve+）を、維持電極の負極性維持パルスPs-の印加タイミングで負極性維持消去パルスPe-（電圧：Ve-）を印加する。

【0074】次に、図10に示す駆動例に基づき表示セル1の具体的な動作を説明する。なお、ここでは互いに對をなす走査電極Sc1と維持電極Su1について説明するが、他の走査電極と維持電極についても同様である。走査電極Sc1の負極性プライミングパルスPp-（約-180V）と、維持電極Su1の正極性プライミングパルスPp+（約180V）の和の電圧が、走査電極Sc1と維持電極Su1間の放電しきい値電圧を越えるので、プライミング放電が発生し、この結果、走査電極Sc1側に正電荷が、維持電極Su1側に負電荷がそれぞれ形成される。プライミングパルス終了時に自己消去放電（プライミング放電により形成された壁電荷のみによる内部電界で発生する放電）によりプライミング消去を行い、表示セル1の走査電極Sc1および維持電極Su1側の壁電荷が消滅する。しかし、表示セル1の放電空間にはプライミング放電およびプライミング消去放電により生成された活性粒子が残留している。なお、プライミングパルス印加時に、別の走査電極用のデータパルスPd（約70V）が印加されていると、走査電極Sc1とデータ電極Diの間でも放電が発生するが、プライミング放電は走査ライン上の全ての表示セルを強制的に放電させるものであるため、問題はない。

【0075】プライミング後の走査パルスPw（約-170V）と選択的に印加されるデータパルスPd（約70V）とにより、表示セル1には書き込み放電が発生し、その結果、走査電極Sc1側に正電荷が、データ電極Di側に負電荷がそれぞれ形成される。なお、プライミング後まもない放電空間内には活性粒子が多く存在するため、書き込み放電遅れ時間（走査パルスPwとデータパルスPdが印加されてから放電が発生するまでの時間）が短縮されて書き込み放電は安定する。さらに、この書き込み放電に誘発されて走査電極Sc1と維持電極Su1間でも放電が発生し、維持電極Su1側に負電荷が形成される。

【0076】書き込み放電が発生した表示セル1では、その後の走査電極Sc1の正極性維持パルスPs+電圧（約90V）と、維持電極Su1の負極性維持パルスPs-電圧（約-90V）に、書き込み放電時に形成された走査電極Sc1側の正電荷による電圧と、維持電極Su1側の負電荷による電圧が重畠され、これらの各電圧の和が走査電極Sc1と維持電極Su1間の放電しきい値電圧を越える。このため、維持放電が発生し、この結果、走査電極Sc1側に負電荷が、維持電極Su1側に正電荷がそれぞれ形成される。このときデータ電極Diには別の走査電極用のデータパルスPdが印加されても書き込み放電時にデータ電極Di側に負電荷が形成

(14) 00-132141 (P2000-132141A)

されているため、負極性維持パルスP<sub>s-</sub>が印加される維持電極S<sub>u1</sub>とデータ電極D<sub>i</sub>間では放電しきい値電圧を越えることがなく、したがって維持放電特性を阻害することはない。

【0077】次の維持パルス印加期間では、走査電極S<sub>c1</sub>の負極性維持パルスP<sub>s-</sub>電圧(約-90V)と、維持電極S<sub>u1</sub>の正極性維持パルスP<sub>s+</sub>電圧(約90V)に、前の維持放電によって形成された走査電極S<sub>c1</sub>側の負電荷による電圧と、維持電極S<sub>u1</sub>側の正電荷による電圧が重畠されることで維持放電を発生し、この結果、走査電極S<sub>c1</sub>に正電荷が、維持電極S<sub>u1</sub>側には負電荷がそれぞれ形成される。この場合、前の維持放電と同様に、データパルスP<sub>d</sub>の印加により維持放電特性が阻害されることはない。引き続き、表示セル1の走査電極S<sub>c1</sub>および維持電極S<sub>u1</sub>に正極性維持パルスP<sub>s+</sub>と負極性維持パルスP<sub>s-</sub>を交互に印加する。

【0078】規定回数維持放電を持續した表示セル1では、走査電極S<sub>c1</sub>に正極性維持消去パルスP<sub>e+</sub>(約80V)が、維持電極S<sub>u1</sub>に負極性維持消去パルスP<sub>e-</sub>(約-80V)がそれぞれ印加される。維持消去パルス幅は0.5μs～1μs程度(細幅消去パルスと呼ばれる)であり、走査電極S<sub>c1</sub>と維持電極S<sub>u1</sub>間で放電が発生して印加パルスと逆極性の壁電荷が形成される前にパルスを停止する。この消去放電により、走査電極S<sub>c1</sub>および維持電極S<sub>u1</sub>側の壁電荷は消滅するため、その後の維持パルスで放電することはない。維持消去パルス印加タイミングでデータパルスP<sub>d</sub>が印加されても、消去パルスの振幅が維持パルスと同程度かそれ以下であるので、データ電極と走査電極間、或いはデータ電極と維持電極間で放電が発生することはない。

【0079】図10の駆動例ではプライミング放電を行う場合、走査電極S<sub>c</sub>に負極性パルス、維持電極S<sub>u</sub>に正極性パルスを印加したが、走査電極S<sub>c</sub>に正極性パルス、維持電極S<sub>u</sub>に負極性パルスを印加しても、書き込み放電前に活性粒子を形成する意味ではその効果は変わらない。また、プライミングパルスと走査パルスの間の維持パルスは省略しても良い。また、プライミングのパルス幅に関しても、図10の駆動例に示す時間に限定する必要はなく、パネル構造や封入ガス組成などにしたがって最適化されるべきである。また、図10の駆動例ではプライミング消去を行う場合、プライミングパルスの自己消去放電で行う例について説明したが、それに加えて、プライミング終了後の走査電極S<sub>c</sub>の次の正極性維持パルスP<sub>s+</sub>及び維持電極S<sub>u</sub>の次の負極性維持パルスP<sub>s-</sub>を細幅消去パルスに置き換えて、プライミング消去をより確実にすることもできる。

【0080】なお、上記の各駆動例では、約10Vの電圧の半選択パルスを印加する例について説明したが、要是書き込み放電時に走査パルスと半選択パルスで走査電極S<sub>c</sub>と維持電極S<sub>u</sub>間に十分な放電が発生すれば良

く、半選択パルスの電圧を0Vとすることも可能である。したがって半選択パルスの電圧を0Vにするように構成すれば、グランド電位保持回路と共用化が行え、回路数が削減でき装置のコストダウンが可能になる。また、データパルスP<sub>d</sub>の電圧を高く(約90V)すれば、走査パルスP<sub>w</sub>とデータパルスP<sub>d</sub>とによる書き込み放電電圧が高くなるため、走査電極S<sub>c</sub>側により多くの正電荷が、またデータ電極D<sub>i</sub>側により多くの負電荷がそれぞれ壁電荷として形成される。このため、半選択パルスがない場合(-1/2Vs電位)でも、走査電極S<sub>c</sub>の正電荷と正極性維持パルスP<sub>s+</sub>、および維持電極S<sub>u</sub>の負極性維持パルスP<sub>s-</sub>とで、走査電極S<sub>c</sub>と維持電極S<sub>u</sub>間の放電しきい値電圧を越え、維持放電を発生することができる。このように半選択パルスの設定電圧については、その他の部分の設定電圧により自由度を大きく持つことができる。また、上記の各駆動例では、正極性維持パルスと負極性維持パルスを同じ振幅で説明したが、そのバランスに関してはデータパルスP<sub>d</sub>と負極性維持パルスの和の電圧が放電開始電圧を越えなければ振幅を等しくする必要はない。

【0081】次に図11は図14の交流放電メモリ動作型PDPの駆動シーケンスを示す図であり、4ビット(2<sup>4</sup>=16階調表示)の場合の例である。図11はサブフィールドSF1(LSB)～サブフィールドSF4(MSB)の4ビットで走査線数がm本の場合の例である。ここで図11(A)において、各サブフィールドSFの最初の斜線が書き込みタイミングWTを、横線期間が維持放電期間を、後の斜線が維持消去タイミングETを示している。このように構成することにより、映像信号に応じて、各表示セル毎に発光するサブフィールドSFを選択し、16階調の表示画像を実現できる。図11(B)は、図11(A)における駆動シーケンスから走査パルスのみを抜き出し、データパルスP<sub>d</sub>との間の書き込み放電タイミングを示したものである。その他のパルス波形は、前述した本発明の実施の形態を各サブフィールドに適用すれば良い。この図より、1フレームの全てが書き込み期間として利用できることは明らかである。

【0082】次に図12に図14の交流放電メモリ動作型PDPの他の駆動シーケンスを示す。図12(A)は図11(A)と同様にサブフィールドSF1～SF4が4ビットで走査線数がm本の場合の例である。各サブフィールドSFの最初の斜線が書き込みタイミングWTを、横線期間が維持放電期間を、後の斜線が維持消去タイミングETを示している。この場合、映像信号に応じて各表示セル毎に発光するサブフィールドSFを選択することで16階調の表示画像を実現できる。図12(B)は、図12(A)における駆動シーケンスから走査パルスのみを抜き出し、データパルスP<sub>d</sub>との間の書き込み放電タイミングを示したものである。その他のパ

(15) 100-132141 (P2000-132141A)

ルス波形は、前述した本発明の実施の形態を各サブフィールドに適用すれば良い。この図より、1フレームの全てが書き込み期間として利用できることは明らかである。さらにこの駆動方法では維持放電期間も図11に示す駆動シーケンス以上に有効に利用できる。

#### 【0083】

【発明の効果】以上説明したように本発明によれば、走査電極と維持電極の電位関係が周期的に入れ替わるよう、データ電極の基準電位に対して負電位である負電位維持パルスと正電位である正電位維持パルスを交互に印加しておき、負電位維持パルスの電位よりさらに負電位の走査パルスを、走査電極の負電位維持パルスに重畠して順次印加するとともに、維持電極には、対になって表示セルを構成する走査電極の走査パルスと同時に、正電位維持パルスの電位より低電位である半選択パルスを印加し、データ電極には、各走査電極の走査パルスのタイミングに対応して、基準電位より正電位であるデータパルスを、映像表示データにしたがって選択的に印加する。ようにしたので、PDPの書き込み放電及び維持放電の良好な特性を確保できるとともに、前記書き込み放電及び維持放電の際に高耐圧の駆動回路が不要になることから、安価な駆動回路で書き込み放電及び維持放電を行うことができる。また、奇数ラインの走査電極と偶数ラインの走査電極に印加する維持パルス列の位相を同じくし、かつ偶数ラインの走査電極と奇数ラインの走査電極に印加する維持パルス列の位相を同じくし、さらに奇数ラインの走査電極と偶数ラインの走査電極に印加する維持パルス列の位相と偶数ラインの走査電極と奇数ラインの走査電極に印加する維持パルス列の位相を180°ずらすようにしたので、走査パルスを連続的に印加することができ、書き込み放電及び維持放電を効率良く行うことができる。また、時間的に連続してデータパルスを印加する場合、走査パルスを印加する選択走査ラインの遷移期間に、データ電極の電位を基準電圧に戻さずにデータパルスの電位を保持するようにしたので、PDPのパネルの静電容量の充放電電流を低減でき、したがって装置の消費電力を低減できる。また、走査電極及び維持電極を複数の電極群に分割し、正電位維持パルス及び負電位維持パルスのパルス幅を電極群数分の1以下に設定し、電極群毎に共通に印加する正電位維持パルスと負電位維持パルスの位相を維持パルス幅以上ずつずらすようにしたので、高精細パネルや高階調表示に対応でき、かつPDPの発光効率を向上できる。また、走査パルスの印加の終了から最初の維持パルスの印加開始までの期間において、走査電極の電位を基準電位と走査パルスの電位の中間電位に保持するようにしたので、自己消去放電の発生を抑制することができ、したがってその後の維持放電に容易に遷移させることができる。また、走査パルスの印加に先立って、走査電極に正電位または負電位の予備放電パルスを印加し、維持電極には、走査電極に印

加する予備放電パルスと逆電位である負電位または正電位の予備放電パルスを同時に印加し、予備放電パルスの印加終了時に自己消去放電を発生させるようにしたので、予備放電により発生した壁電荷を消去することができる。また、走査パルスの印加に先立って、走査電極に正電位または負電位の予備放電パルスを印加し、維持電極には、走査電極に印加する予備放電パルスと逆電位である負電位または正電位の予備放電パルスを同時に印加し、予備放電パルスの印加終了時に自己消去放電を発生させ、かつ予備放電パルスの印加終了後に予備放電パルス電位とは逆電位である細幅消去パルスを走査電極と維持電極の少なくとも一方に印加するようにしたので、予備放電により発生した壁電荷を確実に消去できる。また、走査パルス及び所定数の維持パルスを印加した後、維持パルスに置き換えて互いに電位の異なる細幅消去パルスを走査電極と維持電極のそれぞれに印加するようにしたので、その後に印加される維持パルスによる放電を回避できる。

#### 【図面の簡単な説明】

【図1】 本発明に係るPDPを構成する第1の駆動回路の回路図である。

【図2】 図1の第1の駆動回路による第1の駆動例を示す駆動波形図である。

【図3】 図1の第1の駆動回路による第2の駆動例を示す駆動波形図である。

【図4】 上記PDPの第2の駆動回路の回路図である。

【図5】 図2の第2の駆動回路による駆動例を示す駆動波形図である。

【図6】 上記PDPの第3の駆動回路の回路図である。

【図7】 図6の第3の駆動回路による第1の駆動例を示す駆動波形図である。

【図8】 図6の第3の駆動回路による第2の駆動例を示す駆動波形図である。

【図9】 上記PDPの第4の駆動回路の回路図である。

【図10】 図9の第3の駆動回路による駆動例を示す駆動波形図である。

【図11】 PDPの第1の駆動シーケンスを示す図である。

【図12】 PDPの第2の駆動シーケンスを示す図である。

【図13】 PDPを構成する表示セルの断面を示す図である。

【図14】 PDPのブロック図である。

【図15】 従来の表示セルの駆動波形を示す図（第1の従来例）である。

【図16】 従来の表示セルの駆動波形を示す図（第2の従来例）である。

(2000-132141 (P2000-132141A))

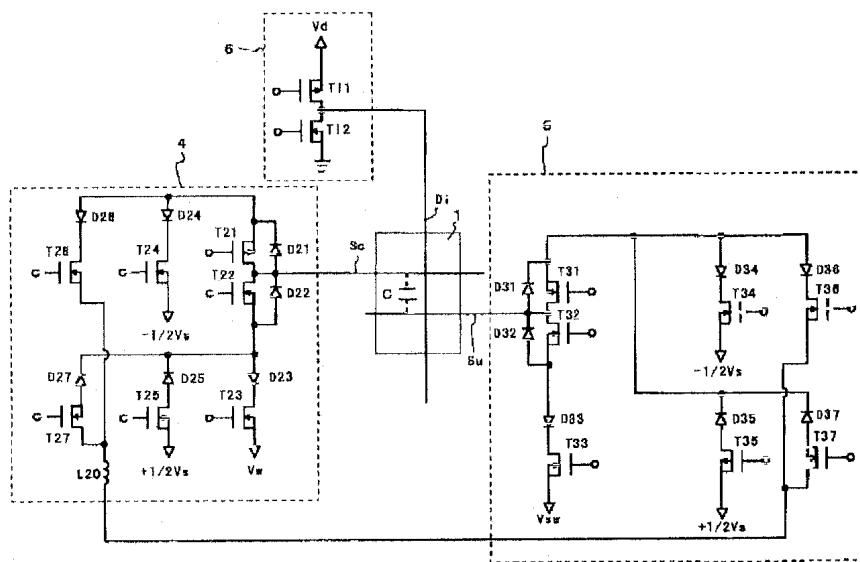
【図17】従来の表示セルの駆動波形を示す図(第3の従来例)である。

【符号の説明】

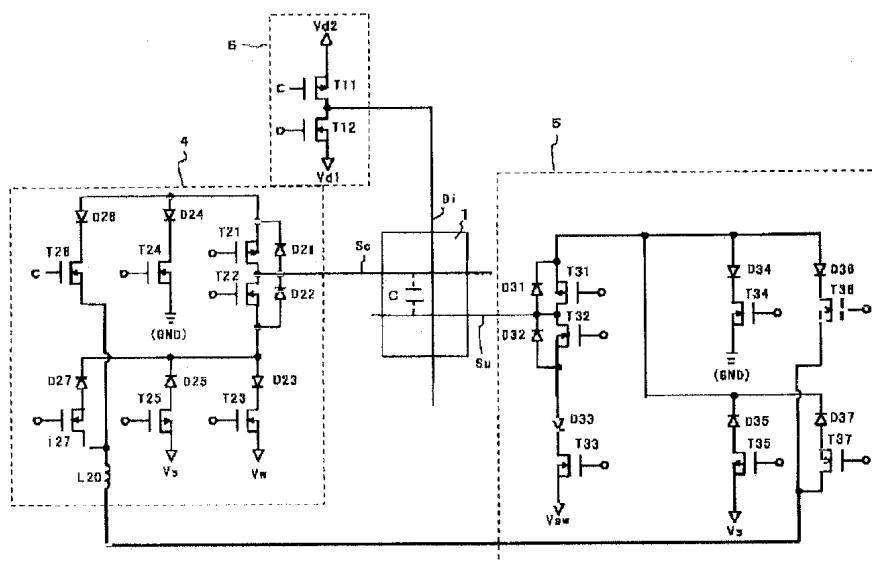
1…表示セル、2…パネル、3…制御回路、4…走査ドライバ、5…維持ドライバ、6…アドレスドライバ、31…フレームメモリ、32…信号処理回路、33…ドライバ制御回路、11, 12…絶縁基板、13, Sc1…Scm…走査電極、14, Su1…Sum…維持電極、

15, 16…トレス電極、17, D1～Dn…データ電極、18…放電ガス空間、19…蛍光体、20, 22…誘電体層、21…保護層、T11, T12, T21～T27, T31～T37, T41～T44, T51～T55, T61～T64…電界効果トランジスタ、D21～D27, D31～D37, D41～D44, D51～D55…ダイオード、C…パネル静電容量、C21, C22…外部コンデンサ、L20～L22…コイル。

【図1】

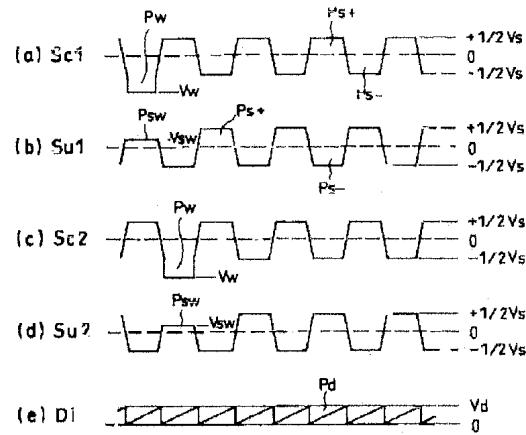


【図4】

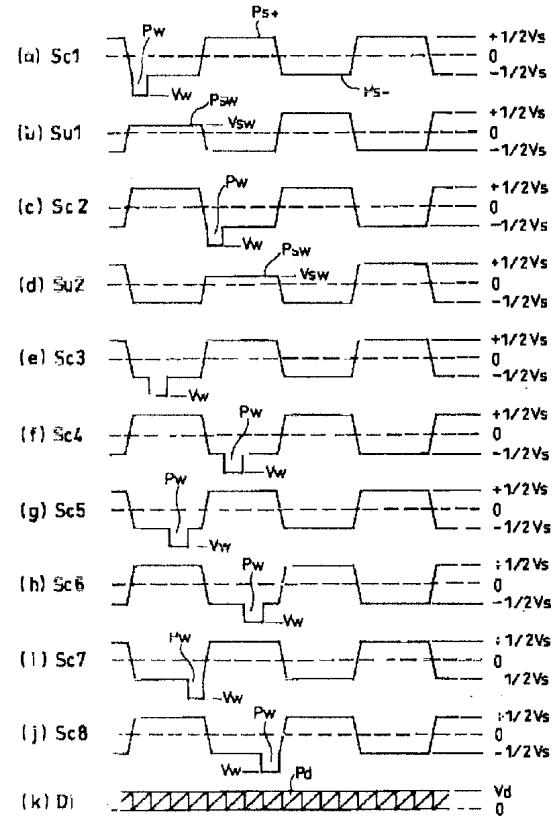


(単7) 000-132141 (P2000-132141A)

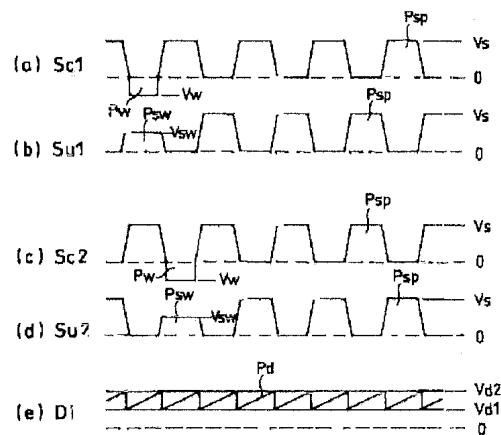
【図2】



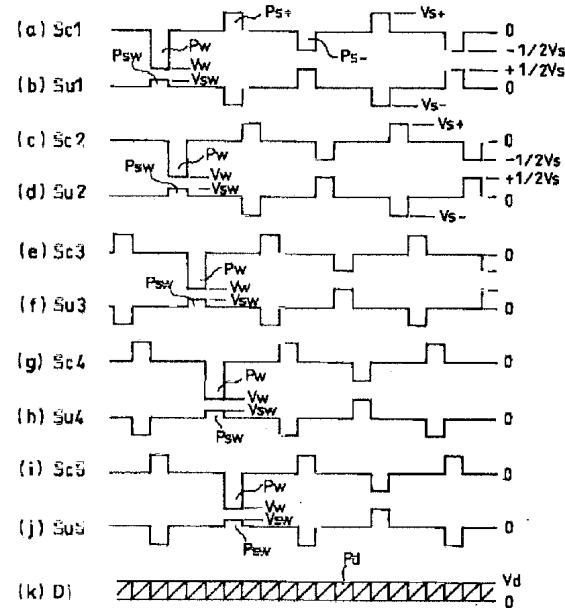
【図3】



【図5】

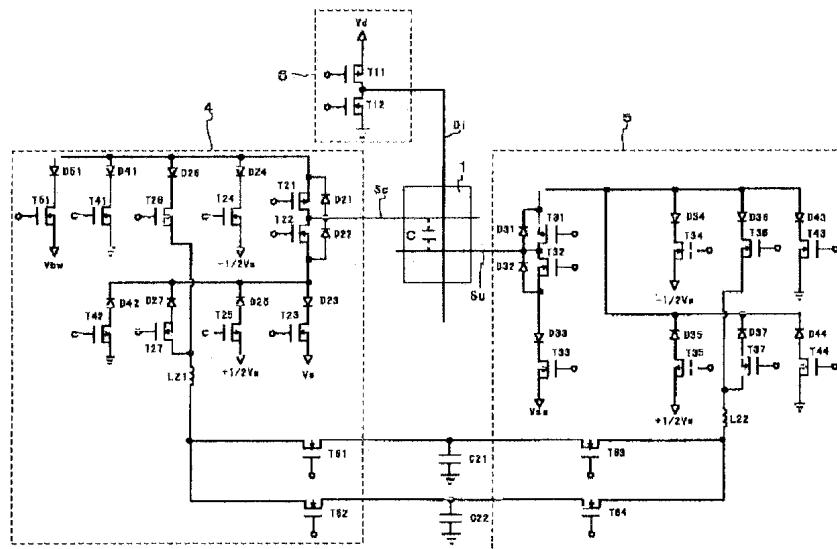


【図7】

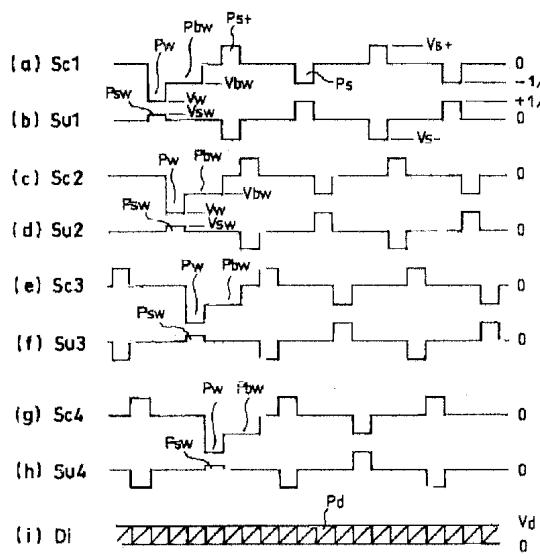


(#18) 00-132141 (P2000-132141A)

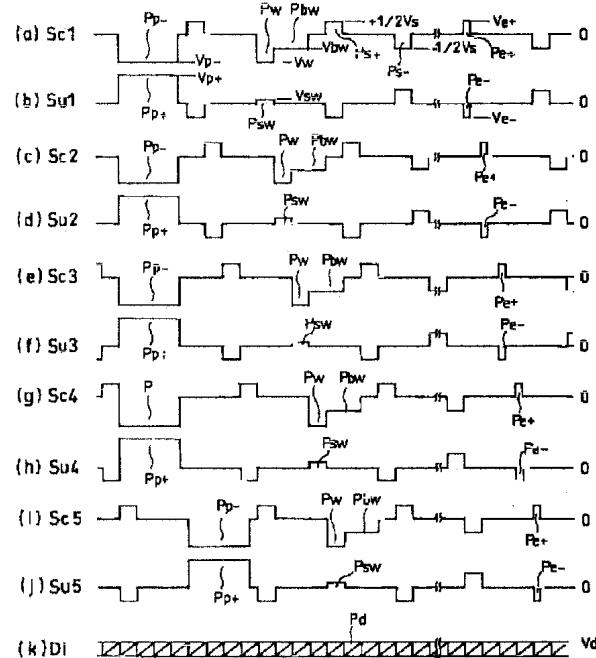
【図6】



〔圖8〕

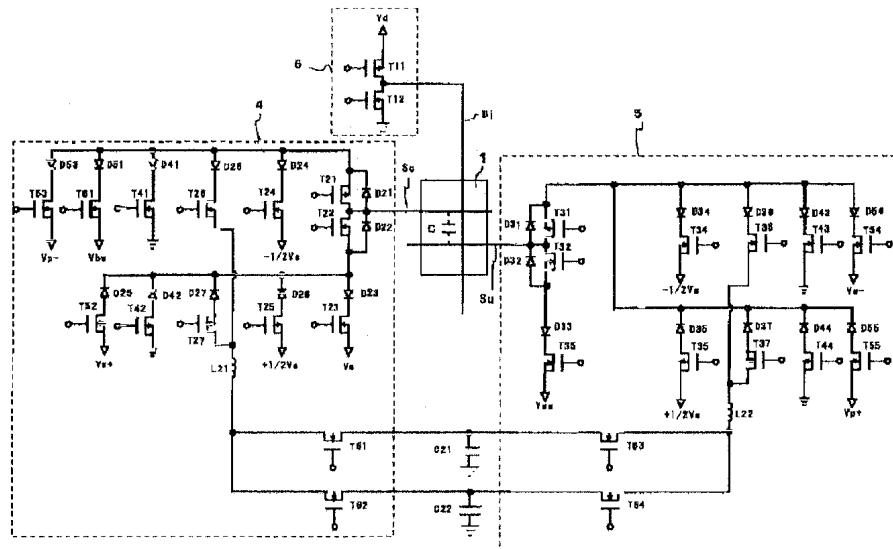


[図10]

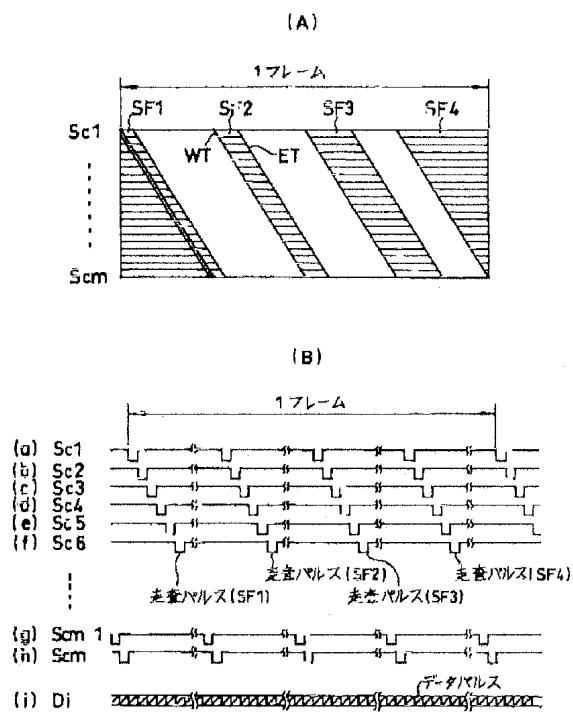


(29) 00-132141 (P2000-132141A)

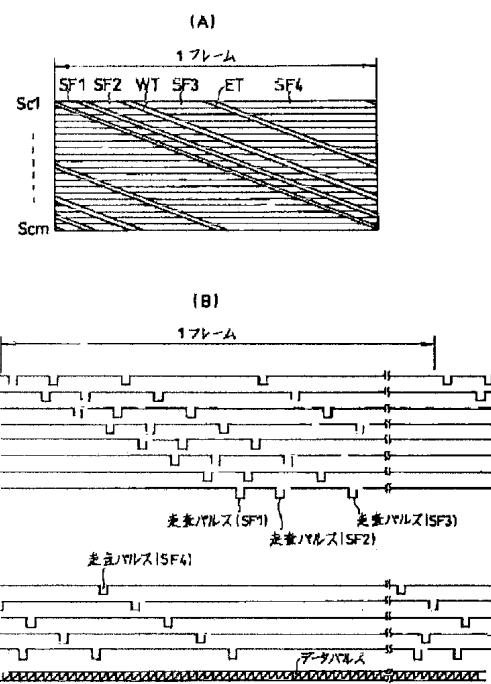
【図9】



【図11】

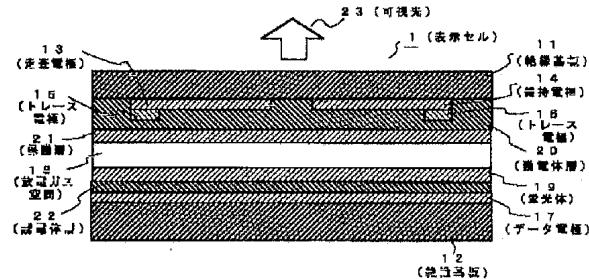


【図12】

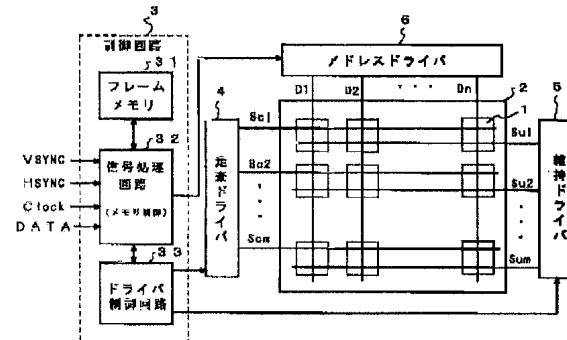


(20) 00-132141 (P2000-132141A)

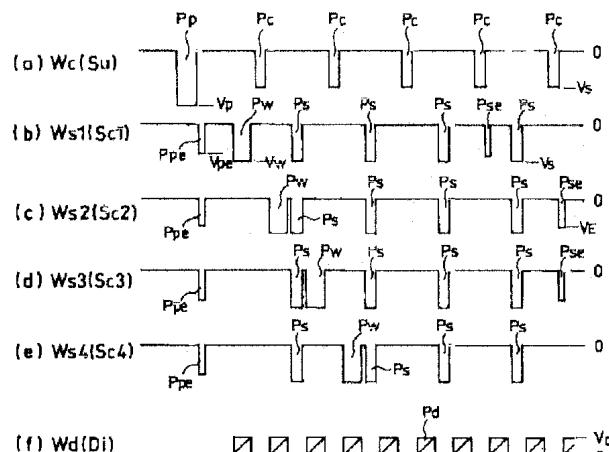
【図13】



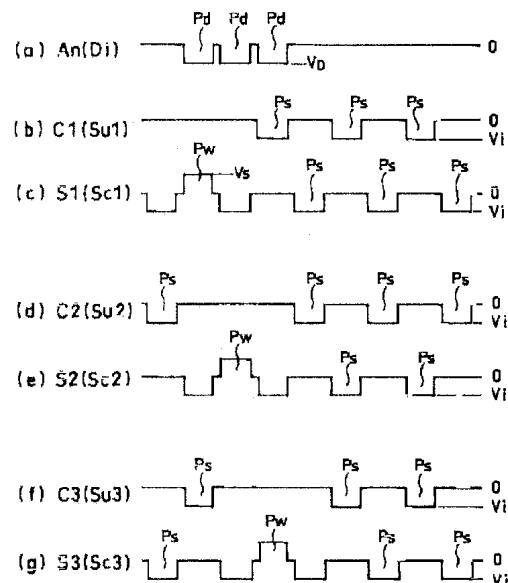
【図14】



【図15】

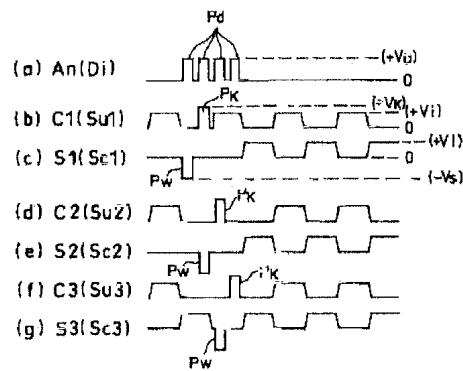


[図16]



(21) 00-132141 (P 2000-132141A)

【図17】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	(参考)
H 04 N 5/66	101	H 04 N 5/66	101 B